

**SOLUZIONI DEL PRIMO COMPITINO DEL CORSO DI
CALCOLATORI ELETTRONICI
NUOVO ORDINAMENTO DIDATTICO**

16 Aprile 2003

MOTIVARE IN MANIERA CHIARA LE SOLUZIONI PROPOSTE A CIASCUNO DEGLI ESERCIZI SVOLTI

ESERCIZIO 1 (8 punti)

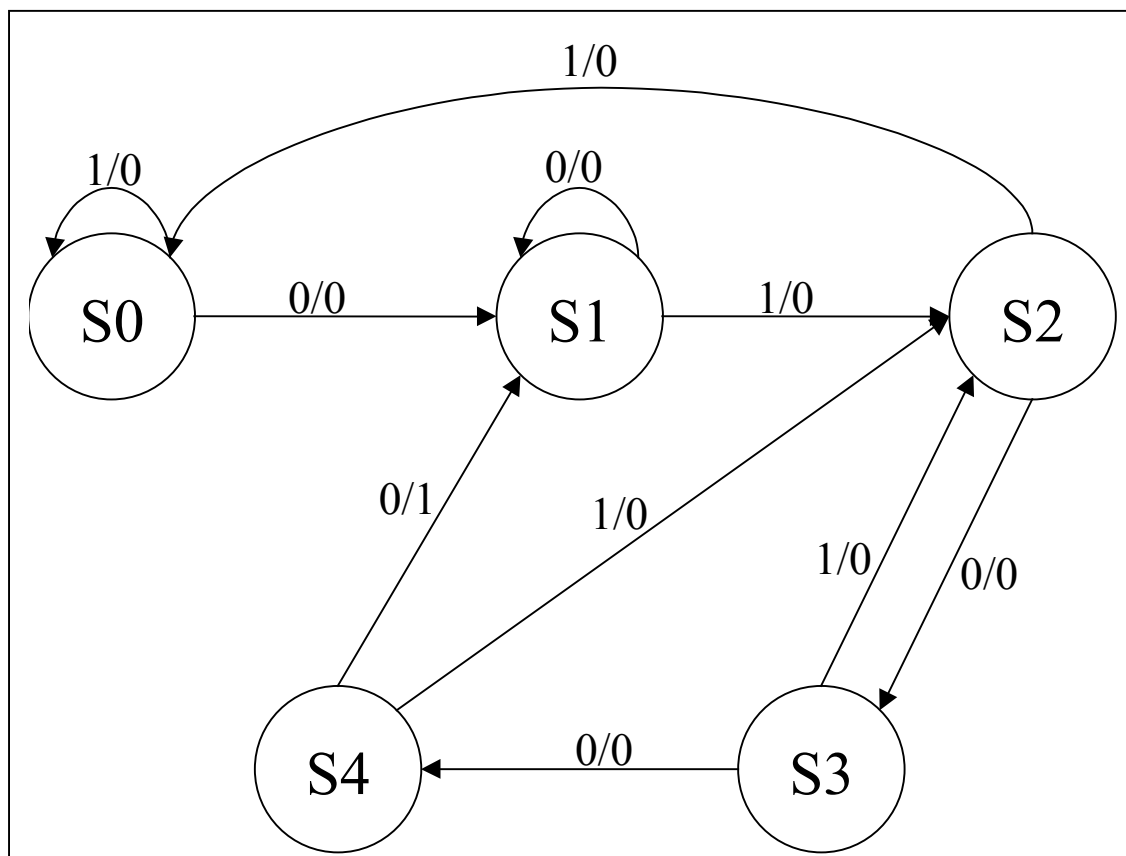
Progettare una rete sequenziale che presenti un ingresso X ed un'uscita Z posta a 1 ogni volta che viene riconosciuta la sequenza 01000.

Si richiede:

- a) (5 punti) il diagramma degli stati, la tabella di flusso e la tabella delle transizioni;
- b) (3 punti) il calcolo delle forme minime delle variabili di eccitazione dei flip flop con le mappe di Karnaugh. Si usino flip flop D.

Soluzione.

Il diagramma degli stati è il seguente:



La tabella di flusso è data da:

Stato presente	Stato successivo/Uscita	
	X=1	X=0
S0	S0/0	S1/0
S1	S2/0	S1/0
S2	S0/0	S3/0
S3	S2/0	S4/0
S4	S2/0	S1/1

Per codificare 5 stati occorrono tre flip flop. La codifica è la seguente:

S0 → 0 0 0; ...; S4 → 1 0 0. Nel seguito indicheremo ciascun bit della codifica con le lettere A, B, C. L'apice indicherà il bit nell'istante successivo a quello considerato.

A partire dalla tabella di eccitazione del flip flop D:

Q	Q'	D
0	0	0
0	1	1
1	0	0
1	1	1

A	B	C	X=1				X=0			
			A'	B'	C'	Z	A'	B'	C'	Z
0	0	0	0	0	0	0	0	0	1	0
0	0	1	0	1	0	0	0	0	1	0
0	1	0	0	0	0	0	0	1	1	0
0	1	1	0	1	0	0	1	0	0	0
1	0	0	0	1	0	0	0	0	1	1
1	0	1	D	D	D	0	D	D	D	0
1	1	0	D	D	D	0	D	D	D	0
1	1	1	D	D	D	0	D	D	D	0

Ora possiamo disegnare le mappe di Karnaugh

CX	AB			
	00	01	11	10
00			d	
01			d	
11			d	d
10		1	d	d

$$D_A = BC\bar{X}$$

CX	AB			
	00	01	11	10
00		1	d	
01			d	1
11	1	1	d	d
10			d	d

$$D_B = AX + CX + \bar{B}\bar{C} \cdot \bar{X}$$

		AB			
		00	01	11	10
CX	00	1	1	d	1
	01			d	
	11			d	d
	10	1		d	d

$$D_c = \overline{C} \cdot \overline{X} + \overline{B} \cdot \overline{X}$$

Infine, per quanto riguarda l'uscita Z:

$$Z = A \cdot \overline{B} \cdot \overline{C} \cdot \overline{X}$$

Volendo utilizzare anche i don't care:

		AB			
		00	01	11	10
CX	00			d	1
	01			d	
	11			d	d
	10			d	d

$$Z = A\overline{X}$$

ESERCIZIO 2 (10 punti)

Si consideri una gerarchia di memoria a tre livelli costituita da: cache, primaria e disco.

- Il disco presenta le seguenti caratteristiche: 7200 giri/min, 120 settori per traccia, tempo medio di posizionamento 1 ms, 16 B per settore.
- L'indirizzamento di una parola della memoria primaria è a 8 bit.
- La memoria cache è di 16 B, è indirizzata secondo il metodo associativo su insiemi, con insiemi da 4 blocchi e blocchi di una parola (1 parola = 1 byte).

Si richiede:

- 1) (3 punti) Il calcolo del tempo medio di lettura di un blocco di 256 B da disco, in millisecondi, nell'ipotesi che la testina si trovi in un punto qualsiasi del disco all'istante iniziale, e che il blocco sia registrato su settori distanti mediamente 3 tracce.
- 2) (2 punti) Il formato dell'indirizzo di primaria secondo il metodo di indirizzamento suddetto.
- 3) (3 punti) Lo stato finale della cache e la stima del "hit ratio" della cache, considerando la cache vuota all'istante iniziale e che vengano prodotte le seguenti richieste di accesso espresse in decimale: 100, 101, 3, 7, 8, 100, 101, 103, 3, 4, 100, 101, 103, 3, 7, 8.
- 4) (2 punti) Il calcolo del tempo medio di accesso alla gerarchia, in nanosecondi, utilizzando i valori trovati al punto 1 (per il tempo di accesso al disco) e al punto 3 (per l' "hit ratio" della cache), e considerando che l' "hit ratio" della primaria sia pari a 0.8, il tempo di accesso in cache sia pari a 4 ns e quello in primaria pari a 50 ns.

Soluzione.

1)

$$TROT = 60 / 7200 = 0.0083 \text{ secondi}$$

$$TLAT = TROT / 2 = 0.00415 \text{ secondi}$$

$$Tlett = TROT / 120 = 0.0694 \text{ ms}$$

$$TPOS = 3 * 1 \text{ ms} = 3 \text{ ms}$$

$$\text{Tempo di lettura di un blocco} = (TLAT + TPOS + Tlett) * 16 = 115.8304 \text{ ms}$$

- 2) La cache è formata da 16 parole, suddivise in 4 insiemi di 4 blocchi di 1 parola, pertanto il numero di insiemi si può indirizzare con 2 bit. Per indirizzare le parole di ogni blocco non occorrono bit di offset in quanto il blocco corrisponde alla singola parola. Il formato dell'indirizzo è dunque il seguente:

< TAG 6 bit > < Cache Index 2 bit >

- 3) Per stimare l' "hit ratio" di cache, è sufficiente eseguire il rapporto fra numero di "hit" e numero totale di accessi. Se all'istante iniziale la cache è vuota, la sequenza di richieste produce i risultati in tabella. In neretto è indicato l'indirizzo dell'insieme. Le parole di ciascun insieme vengono collocate in sequenza secondo l'ordine seguente:

Insieme	
(1)	(2)
(3)	(4)

0		1		2		3	
100	8	101				3	7
4						103	

L' "hit ratio" di cache stimato è pari a: $9/16 = 0.56$.

- 4) Con tutti i dati a nostra disposizione è sufficiente valutare la formula:

$$\bar{T} = H_C T_C + (H_P - H_C)(T_P + T_C) + (1 - H_P)(T_D + T_P + T_C)$$

Quindi:

$$\begin{aligned} \bar{T} &= 0.56 * 4 + (0.8 - 0.56) * (4 + 50) + (1 - 0.8) * (4 + 50 + 115830400) = \\ &= 2.24 + 12.96 + 23166091 = 23166106ns \end{aligned}$$

ESERCIZIO 3 (7 punti)

I trasferimenti di parole a/dalla memoria di un calcolatore sono codificate utilizzando il codice di Hamming. Si consideri la stringa di 8 bit 11010111 (il bit meno significativo è a sinistra). **Spiegando bene ogni passo del ragionamento:**

- 1) (1 punto) calcolare il minimo numero di bit di controllo necessari per la codifica della parola;
- 2) (3 punti) codificare la stringa data;

- 3) (3 punti) imporre un errore nel terzo bit della stringa d'informazione e spiegare come l'errore viene rivelato e corretto per mezzo della codifica di Hamming.

Soluzione.

- 1) Deve venire rispettata la condizione:

$$2^K \geq N + K + 1 \quad (1),$$

dove K è il numero di bit di controllo inseriti. Essendo N=8, il numero minimo di bit di controllo richiesto è 4.

- 2) Nella codifica di Hamming, la sequenza in ingresso presenta la seguente struttura:

c ₀	c ₁	b ₀	c ₂	b ₁	b ₂	b ₃	c ₃	b ₄	b ₅	b ₆	b ₇
		1		1	0	1		0	1	1	1

Dove c₀...c₃ sono i quattro bit costituenti il vettore di controllo, e b₀...b₇ gli otto bit trasmessi. Tali bit si ottengono con le seguenti operazioni

$$c_0 = b_0 \oplus b_1 \oplus b_3 \oplus b_4 \oplus b_6 = 1 \oplus 1 \oplus 1 \oplus 0 \oplus 1 = 0$$

$$c_1 = b_0 \oplus b_2 \oplus b_3 \oplus b_5 \oplus b_6 = 1 \oplus 0 \oplus 1 \oplus 1 \oplus 1 = 0$$

$$c_2 = b_1 \oplus b_2 \oplus b_3 \oplus b_7 = 1 \oplus 0 \oplus 1 \oplus 1 = 1$$

$$c_3 = b_4 \oplus b_5 \oplus b_6 \oplus b_7 = 0 \oplus 1 \oplus 1 \oplus 1 = 1$$

La stringa codificata è 001110110111.

- 3) Nell'ipotesi di un errore sul terzo bit della stringa iniziale, la stringa ricevuta risulta: 001111100111. Per rivelare questo errore, bisogna ricalcolare i bit di controllo:

$$c'_0 = b_0 \oplus b_1 \oplus b_3 \oplus b_4 \oplus b_6 = 1 \oplus 1 \oplus 1 \oplus 0 \oplus 1 = 0$$

$$c'_1 = b_0 \oplus b_2 \oplus b_3 \oplus b_5 \oplus b_6 = 1 \oplus 1 \oplus 1 \oplus 1 \oplus 1 = 1$$

$$c'_2 = b_1 \oplus b_2 \oplus b_3 \oplus b_7 = 1 \oplus 1 \oplus 1 \oplus 1 = 0$$

$$c'_3 = b_4 \oplus b_5 \oplus b_6 \oplus b_7 = 0 \oplus 1 \oplus 1 \oplus 1 = 1$$

Il passo successivo è calcolare il vettore di errore dato dalla differenza dei vettori di controllo c e c' (ricordiamo che somma e differenza tra bit producono lo stesso risultato):

$$e_0 = c_0 \oplus c'_0 = 0$$

$$e_1 = c_1 \oplus c'_1 = 1$$

$$e_2 = c_2 \oplus c'_2 = 1$$

$$e_3 = c_3 \oplus c'_3 = 0$$

Poiché il vettore risultante 0110 non è nullo, vi è un errore nella stringa di 12 bit e precisamente nella posizione indicata dal vettore di errore tradotto in notazione decimale. Il bit sbagliato nella stringa codificata è quindi il sesto (b₂), che può venire dunque corretto.

ESERCIZIO 4 (8 punti)

L'ampiezza della linea dati del bus di un calcolatore è pari a 32 bit. La frequenza del clock della CPU è di 625 MHz.

- 1) Ipotizzando che il bus sincrono abbia la stessa frequenza di clock della CPU, la durata di una trasmissione sul bus impieghi 4 cicli di clock, e che il tempo di ciclo della memoria sia 40 ns, illustrare chiaramente il protocollo di lettura su bus sincrono

utilizzando l'opportuno grafico, indicando il tempo complessivo di trasferimento di una parola da 32 bit. (3 punti)

- 2) Se le istruzioni di CPU necessarie ad effettuare il trasferimento dati da una periferica alla memoria nel caso in cui i trasferimenti periferica-calcolatore vengano gestiti mediante IO da programma richiedono 6 cicli di clock, calcolare la massima velocità di trasferimento (in bit/s) fra periferica e calcolatore che è possibile raggiungere effettuando i trasferimenti mediante IO da programma. (3 punti)
- 3) Calcolare la massima velocità di trasferimento dati (in bit/s) nel caso in cui il trasferimento avvenga in DMA. (2 punti)

Soluzione:

- 2) La durata di un ciclo di clock è pari a $1/(625 \text{ MHz}) = 1.6 \text{ ns}$

La lettura su un bus sincrono avviene secondo il protocollo seguente:

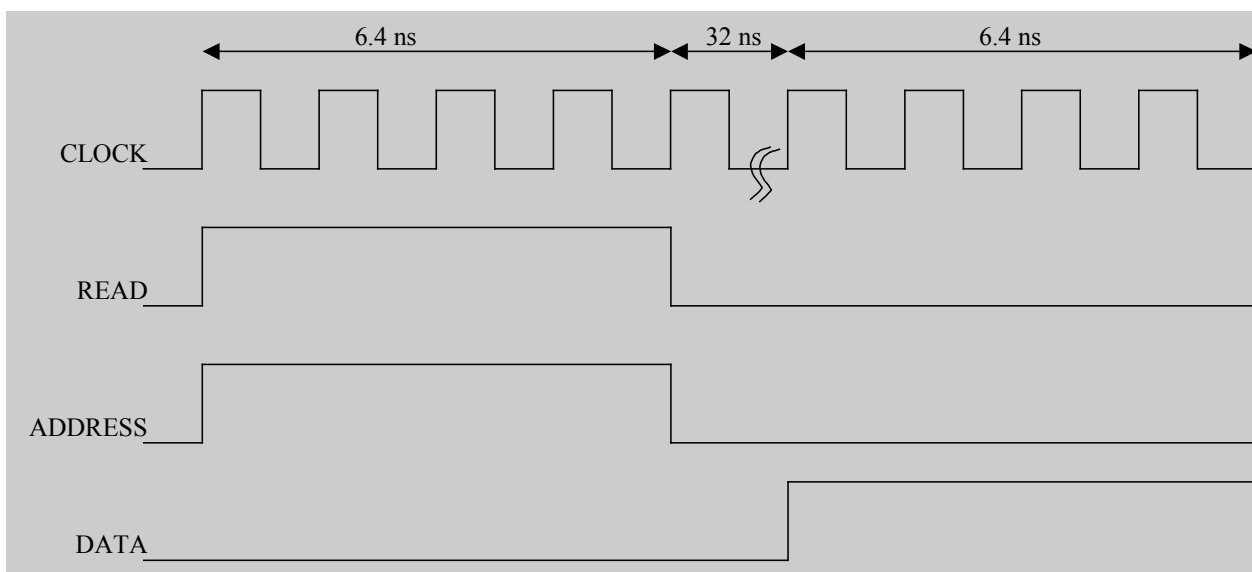
- Segnale di READ sulla linea di controllo e contemporaneamente l'indirizzo della locazione in cui risiede il dato sulla linea indirizzi:

4 cicli di clock = 6.4 ns

- Lettura della parola dalla memoria: **40 ns**
- Trasferimento della parola dalla memoria:
se la parola da leggere ha ampiezza pari a 32 bit

trasferimento della parola = 6.4 ns

Tempo totale per leggere una parola dalla memoria = (12.8 + 40) ns



- 2) Sono necessari 6 cicli di clock per trasferire un blocco di 32 bit, cioè si trasferisce un blocco con la frequenza di 625/6 MHz. La massima velocità di trasferimento è dunque pari a $(32 \cdot 625 \cdot 10^6)/6 \text{ bit/s} = 3333 \cdot 10^6 \text{ bit/s}$.
- 3) In DMA è possibile trasferire un blocco per ogni ciclo di clock (modalità "block transfer"). Pertanto la massima velocità di trasferimento è pari a $(32 \cdot 625 \cdot 10^6) \text{ bit/s} = 20000 \cdot 10^6 \text{ bit/s}$.