

**SECONDA PROVA INTERMEDIA DEL CORSO DI**  
**CALCOLATORI ELETTRONICI**  
**NUOVO ORDINAMENTO DIDATTICO**  
14 Gennaio 2011

**NOME:**

**COGNOME:**

**MATRICOLA:**

**ESERCIZIO 1 (5 punti)**

Progettare un Carry-Save Adder a tre addendi di N bit utilizzando dei Full Adder.

**ESERCIZIO 2 (9 punti)**

Implementare in Assembler MIPS una funzione che, dato in ingresso un intero n, calcoli il fattoriale di n (indicato con n!). Sia  $n \rightarrow \$4$ ,  $n! \rightarrow \$5$ .

Si ricordi che:  $n! = \prod_{i=1}^n i$ , e che  $0! = 1$ .

Vincolo: si usi il numero minimo di registri possibile per implementare la funzione.

**ESERCIZIO 3 (6 punti)**

L'ampiezza della linea dati del bus di un calcolatore è pari a 32 bit. La frequenza del clock della CPU è di 1 GHz.

1. (4 punti) Ipotezzando che il bus sincrono abbia la stessa frequenza di clock della CPU, la durata di una trasmissione sul bus impieghi 4 cicli di clock, e che il tempo di ciclo della memoria sia 79.5 ns, illustrare chiaramente il protocollo di lettura su bus sincrono utilizzando l'opportuno grafico, indicando il tempo complessivo di trasferimento di una parola da 64 bit.
2. (2 punti) Nel caso in cui i trasferimenti periferica-calcolatore vengano gestiti mediante I/O da programma e siano necessarie 4 istruzioni per trasferire una parola da 32 bit, calcolare la relativa velocità di trasferimento dati (in bit/s). Si assuma che ogni istruzione richieda 2 cicli di clock per essere eseguita.

**ESERCIZIO 4 (6 punti)**

1. (4 punti) Progettare una ALU che esegua le seguenti operazioni su due operandi (A e B) a N bit, rappresentati in complemento a 2, utilizzando un parallel adder e le opportune reti logiche:  $A+B+1$ ,  $-A$ ,  $A-1$ ,  $A-B$  (rispettivamente per i valori dei bit di selezione  $S_0$  e  $S_1$  pari a 00, 01, 10, 11). Gli ingressi della ALU, oltre i 2 operandi, comprendono i 2 bit di selezione che indicano l'operazione da eseguire. E' richiesta anche la rappresentazione dello schema circuitale.  
*N.B.: non c'è nessun bit di riporto in ingresso alla ALU, ma internamente esiste il bit di riporto in ingresso al parallel adder.*
2. (2 punti) Proporre uno schema architetturale differente, se possibile, per massimizzare la velocità di calcolo della ALU.

**ESERCIZIO 5 (7 punti)**

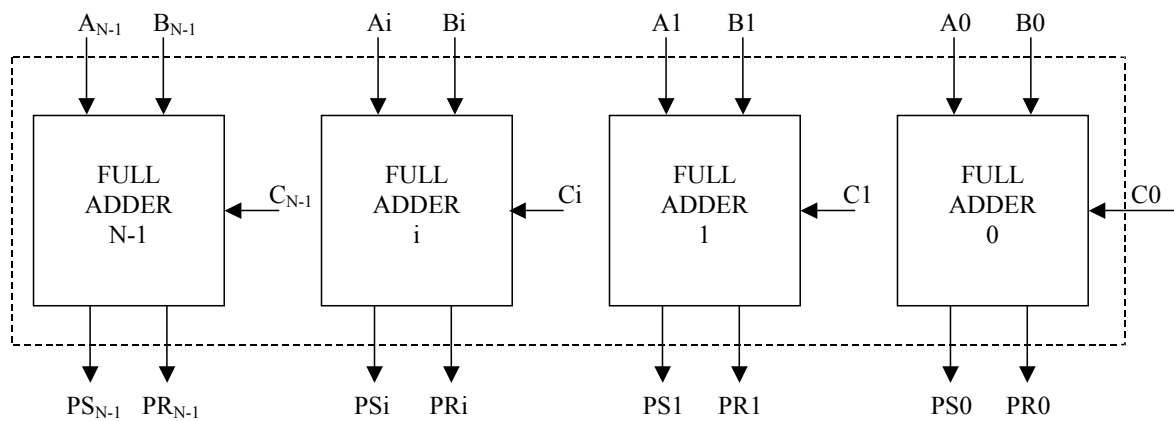
Considerato un campo di 64 bit, siano dati i seguenti formati:

- a. rappresentazione di interi senza segno;
  - b. rappresentazione in virgola fissa con bit di segno e 20 bit di parte frazionaria;
  - c. rappresentazione in virgola mobile con mantissa frazionaria normalizzata in segno e valore (0.1M) ed esponente a 8 bit in eccesso 127.
1. (3 punti) Calcolare il minimo e il massimo valore rappresentabile in valore assoluto nei tre casi.
  2. (4 punti) Sommare i due numeri,  $(12.5)_{10}$   $(5.25)_{10}$ , esprimendoli in virgola mobile secondo la rappresentazione data al punto c, con l'algoritmo dei calcolatori.

## ESERCIZIO 1

### Soluzione

1. Indicati con A, B, C i tre addendi, e con PSi e PRi pseudo-somma e pseudo-riporto dei bit i-esimi, si ha:



$$PS_i = \text{XOR}(A_i, B_i, C_i)$$

$$PR_i = A_i B_i + A_i C_i + B_i C_i$$

## **ESERCIZIO 2**

### **Soluzione**

```
fattoriale:    addi $29, $29, -4
               sw $4, 0($29)
               addi $5, $0, 1
loop:          beq $0, $4, exit
               mul $5, $5, $4
               subi $4, $4, 1
               j loop
exit:          lw $4, 0($29)
               addi $29, $29, 4
               jr $31
```

### ESERCIZIO 3

#### Soluzione

1. La durata di un ciclo di clock è pari a  $1/(1 \text{ GHz}) = 1 \text{ ns}$

La lettura su un bus sincrono avviene secondo il protocollo seguente:

- Segnale di READ sulla linea di controllo e contemporaneamente l'indirizzo della locazione in cui risiede il dato sulla linea indirizzi:

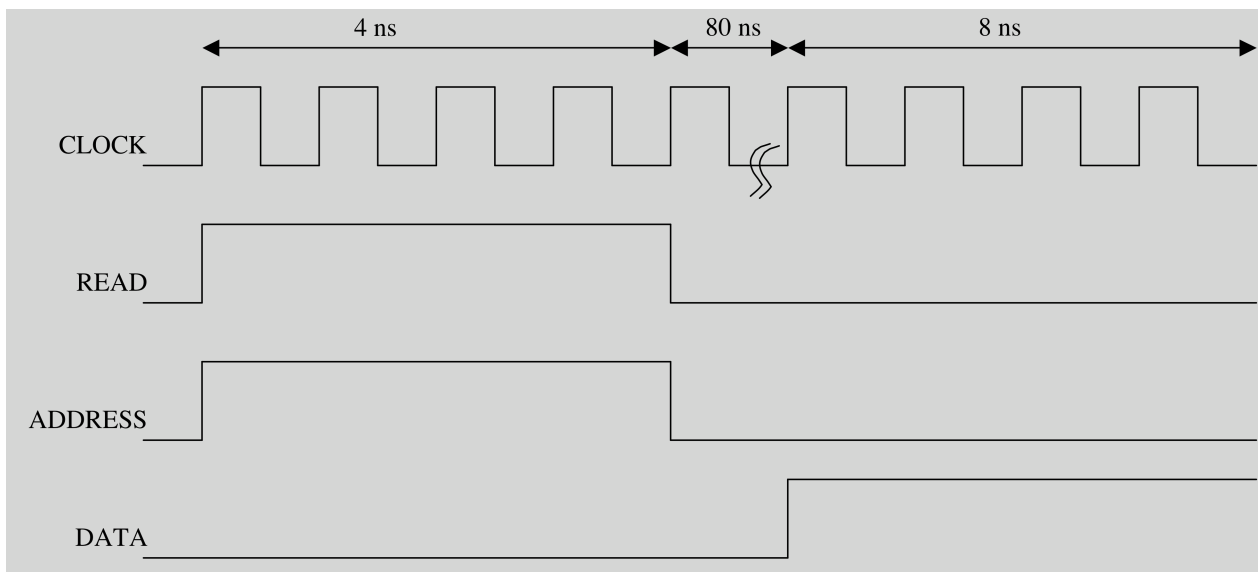
**4 cicli di clock = 4 ns**

- Lettura della parola dalla memoria: **79.5 ns, ma richiede 80 ns (per sincronia con il clock)**

- Trasferimento della parola dalla memoria:  
se la parola da leggere ha ampiezza pari a 64 bit

**trasferimento della parola = 4 + 4 ns = 8 ns**

**Tempo totale per leggere una parola dalla memoria = 92 ns**

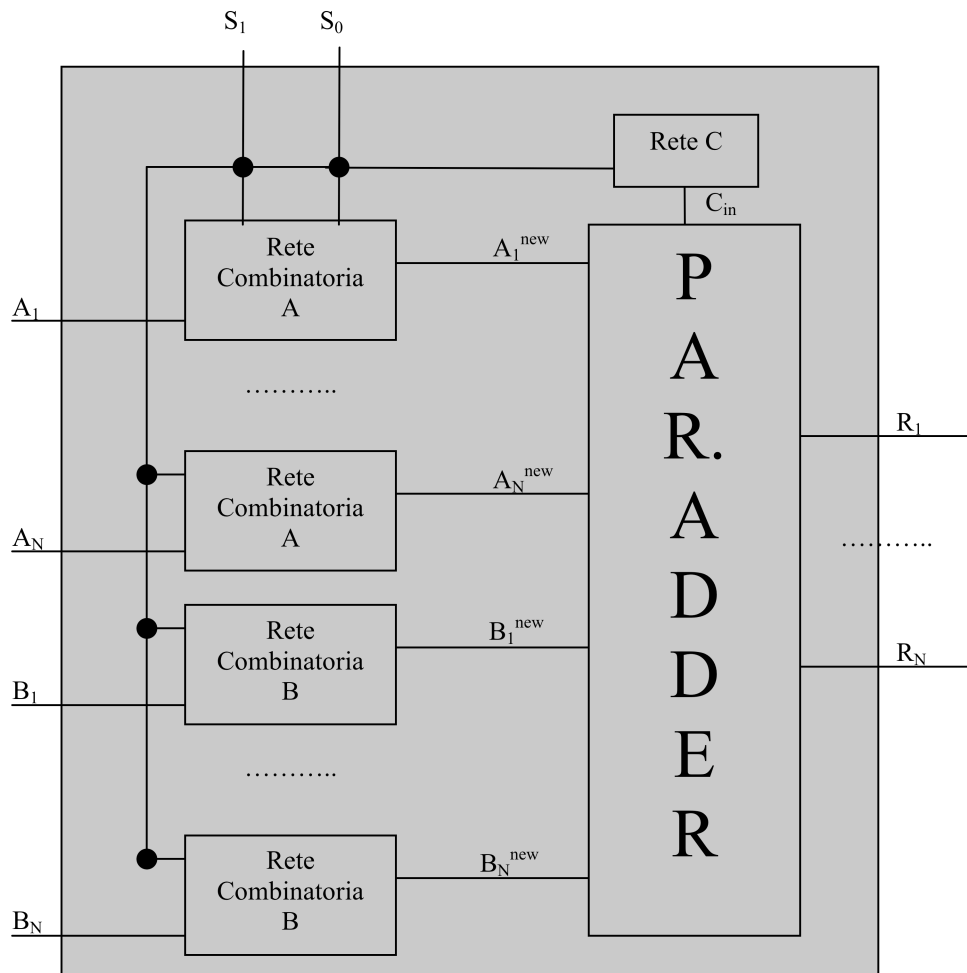


2. Sono necessari  $4 \times 2 = 8$  cicli di clock per trasferire un blocco di 32 bit, cioè si trasferisce un blocco con la frequenza di  $1/8 \text{ GHz}$ . La massima velocità di trasferimento è dunque pari a  $(32 \cdot 1 \cdot 10^9)/8 \text{ bit/s} = 4 \cdot 10^9 \text{ bit/s}$ .

#### ESERCIZIO 4

##### Soluzione

- Lo schema progettuale è il seguente, in cui si devono progettare le reti logiche per trasformare i singoli bit di A, B, e calcolare il Cin da mandare in ingresso al parallel adder.  
Gli ingressi delle reti per i singoli bit di A e B sono ovviamente  $A_i$  (o  $B_i$ ),  $S_0$  e  $S_1$ , mentre per la rete di Cin in ingresso avremo solo  $S_0$  e  $S_1$ .



Per quanto riguarda la specifica di progetto:

| S0 | S1 | F       |
|----|----|---------|
| 0  | 0  | $A+B+1$ |
| 0  | 1  | $-A$    |
| 1  | 0  | $A-1$   |
| 1  | 1  | $A-B$   |

Per ottenere la funzione  $A+B$ , si dovrà fare in modo che  $A_{new} = A$ ,  $B_{new} = B$ ,  $C_{in} = 1$

Per ottenere  $-A$ , si dovrà fare in modo che  $A_{new} = A'$ ,  $B_{new} = 0$ ,  $C_{in} = 1$  (\*)

Per ottenere  $A-1$ , si dovrà fare in modo che  $A_{new} = A$ ,  $B_{new} = -1$ ,  $C_{in} = 0$

Per ottenere  $A-B$ , si dovrà fare in modo che  $A_{new} = A$ ,  $B_{new} = B'$ ,  $C_{in} = 1$  (\*)

(\*) l'apice indica il complemento a 1.

| $S_0 S_1$ |   |    |    |    |    |
|-----------|---|----|----|----|----|
| $A_i$     |   | 00 | 01 | 11 | 10 |
|           | 0 |    | 1  |    |    |
| 1         | 1 |    |    | 1  | 1  |

$$A_i^{new} = \bar{A}_i \bar{S}_0 S_1 + A_i S_0 + A_i \bar{S}_1$$

(Rete combinatoria A)

| $S_0 S_1$ |   |    |    |    |    |
|-----------|---|----|----|----|----|
| $B_i$     |   | 00 | 01 | 11 | 10 |
|           | 0 |    |    | 1  | 1  |
| 1         | 1 | 1  |    |    | 1  |

$$B_i^{new} = \bar{B}_i S_0 + B_i \bar{S}_1$$

(Rete combinatoria B)

| $S_0 S_1$ |   |   |   |
|-----------|---|---|---|
| $S_1$     |   | 0 | 1 |
|           | 0 | 1 |   |
| 1         | 1 | 1 | 1 |

$$C_{in} = \bar{S}_0 + S_1$$

(Rete combinatoria C)

- Si possono sostituire le reti combinatorie di A e B con dei mux 4-1 e un carry look ahead adder in luogo del parallel adder, in modo da minimizzare i tempi di propagazione dei riporti (relativamente ai full adder interni al parallel adder).

## ESERCIZIO 5

### Soluzione

1.

- a. Minimo: 1 Max:  $2^{64}-1$ .
- b. Minimo:  $2^{-20}$  Max:  $2^{43}-2^{-20}$
- c. Minimo:  $2^{-128}$  Max:  $2^{128}(1-2^{-56})$ .

2.  $(12.5)_{10} = 1100.1 = 0.11001 \cdot 2^4$   
 $(5.25)_{10} = 101.01 = 0.10101 \cdot 2^3$

I due numeri si possono rappresentare nel seguente modo:

| Segno | Esponente | Mantissa                 |
|-------|-----------|--------------------------|
| 0     | 1000011   | 10010000000000000000...0 |
| 0     | 1000010   | 01010000000000000000...0 |

Poiché il primo ha esponente maggiore del secondo ( $4 > 3$ ) di quest'ultimo si fa scorrere la mantissa a destra di una posizione.

I due numeri da sommare sono:

$$\begin{array}{r} 0.110010 + \\ 0.010101 = \\ \hline 1.000111 \quad (*2^4) \end{array}$$

E' necessario normalizzare il risultato:

| Segno | Esponente | Mantissa                 |
|-------|-----------|--------------------------|
| 0     | 1000100   | 00011100000000000000...0 |