

PROVA SCRITTA DEL MODULO DI
CALCOLATORI ELETTRONICI
CORSI DI LAUREA IN INGEGNERIA BIOMEDICA
E INGEGNERIA ELETTRICA, ELETTRONICA ED INFORMATICA
7 febbraio 2018

NOME:

COGNOME:

MATRICOLA:

CFU:

MOTIVARE LA SOLUZIONE PROPOSTA A CIASCUNO DEGLI ESERCIZI SVOLTI

ESERCIZIO 1 (10 punti)

Progettare una rete sequenziale che riconosca la sequenza "SOS" dove le lettere 'S' e 'O' sono rappresentate rispettivamente dalle coppie di bit 00 e 11. Si richiede:

1. (2 punto) il numero di ingressi e di uscite della rete;
2. (4 punti) il grafo degli stati e la tabella delle transizioni;
3. (4 punti) il calcolo delle forme minime delle variabili di eccitazione dei flip flop con le mappe di Karnaugh. Si usino flip flop JK. Scrivere anche la rete combinatoria per l'uscita Z.

ESERCIZIO 2 (9 punti)

E' data una gerarchia di memoria cache-primaria. La memoria primaria è di 512 B mentre la cache è di 64 B. E' possibile indirizzare il singolo byte, e la memoria primaria è suddivisa in blocchi di 4 parole.

1. (3 punti) Indicare, specificando l'ampiezza e la funzione dei diversi campi, come vengono interpretati gli indirizzi di memoria primaria secondo il metodo di indirizzamento associativo su insiemi a due vie.
2. (6 punti) Ipotizzando la cache inizialmente vuota, nel caso di chiamata alle parole di indirizzo, espresso in decimale, da 0 a 32, e da 256 a 287, in quest'ordine, per due volte consecutive, calcolare il valore dell'hit ratio di cache.

ESERCIZIO 3 (8 punti)

Implementare una procedura Assembly MIPS chiamata "estrai_massimo" che, dati l'indirizzo iniziale di un vettore numerico v (in \$4) di dimensione N (in \$5), metta in \$7 il massimo valore indirizzato.

ESERCIZIO 4 (6 punti)

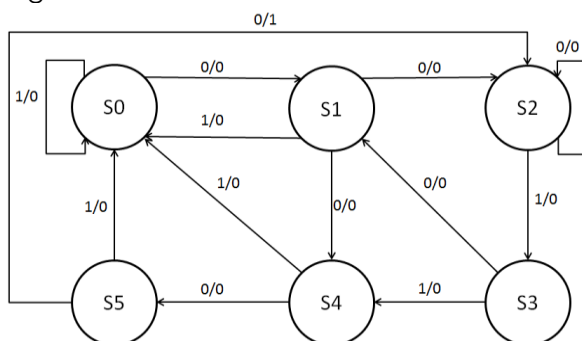
Indicare le linee necessarie e scrivere la temporizzazione per il trasferimento di una parola dalla CPU alla memoria mediante bus sincrono.

ESERCIZIO 1

Soluzione.

Sulla base delle informazioni fornite dal testo, la sequenza "SOS" coincide con la sequenza binaria "001100". Basta dunque un unico flusso di bit in entrata ed un'unica uscita che verrà posta ad 1 al riconoscimento della sequenza ottenuta.

Il diagramma degli stati è il seguente:



La tabella di flusso è data da:

Stato presente	Stato successivo/Uscita	
	X=0	X=1
S0	S1/0	S0/0
S1	S2/0	S0/0
S2	S2/0	S3/0
S3	S1/0	S4/0
S4	S5/0	S0/0
S5	S2/1	S0/0

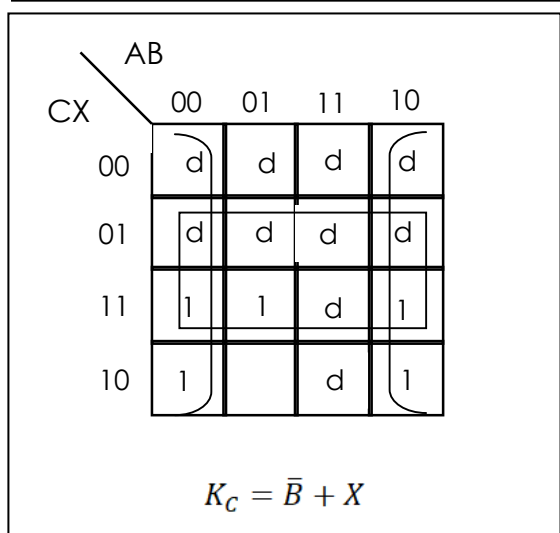
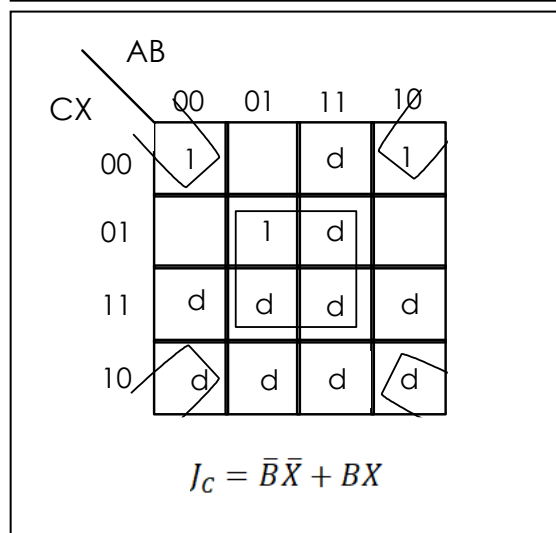
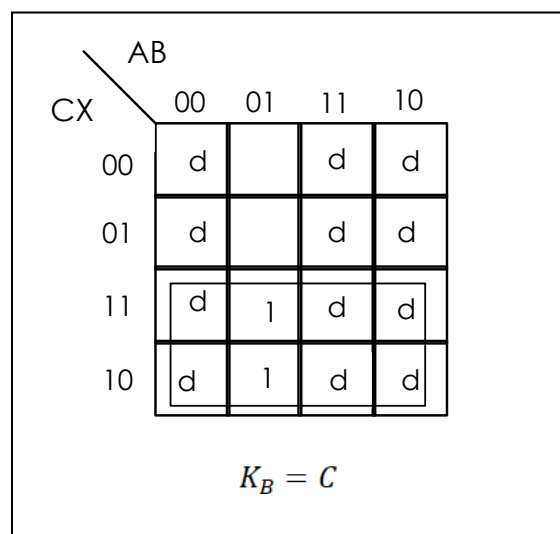
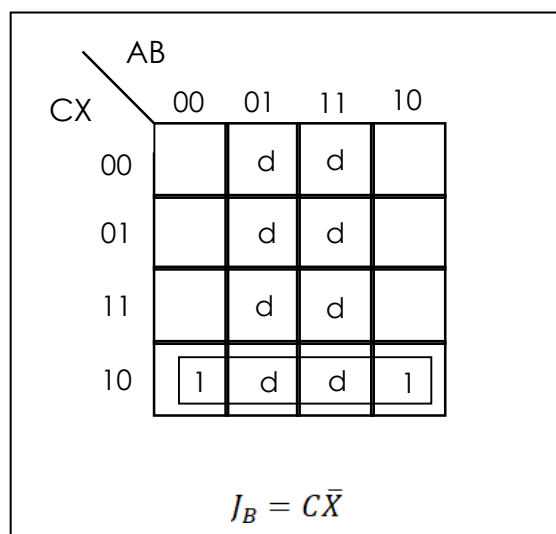
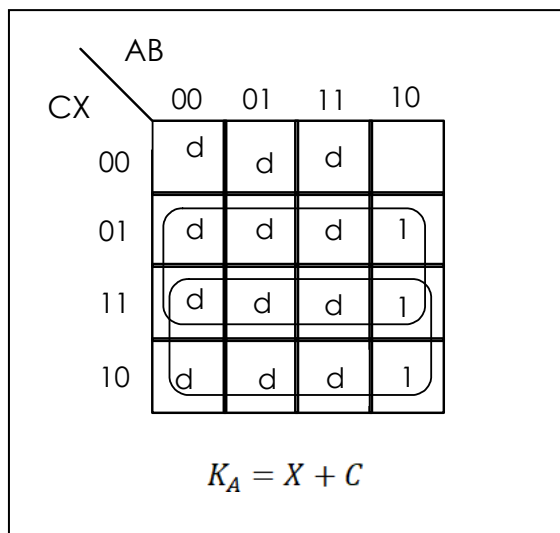
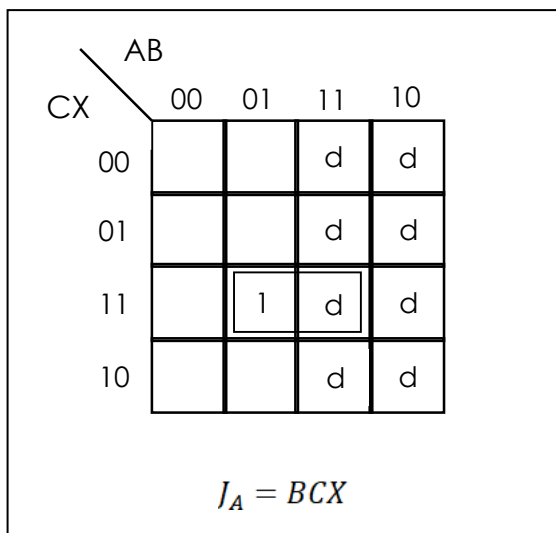
Per codificare 5 stati occorrono tre flip flop. La codifica è la seguente: S0 → 0 0 0; ...; S5 → 1 0 1. Nel seguito indicheremo ciascun bit della codifica con le lettere A, B, C. L'apice indicherà il bit nell'istante successivo a quello considerato.

A partire dalla tabella di eccitazione del flip flop JK:

Q	Q'	J	K
0	0	0	D
0	1	1	D
1	0	D	1
1	1	D	0

A	B	C	X	A'	Ja	Ka	B'	Jb	Kb	C'	Jc	Kc	Z
0	0	0	0	0	0	D	0	0	D	1	1	D	0
0	0	0	1	0	0	D	0	0	D	0	0	D	0
0	0	1	0	0	0	D	1	1	D	0	D	1	0
0	0	1	1	0	0	D	0	0	D	0	D	1	0
0	1	0	0	0	0	D	1	D	0	0	0	D	0
0	1	0	1	0	0	D	1	D	0	1	1	D	0
0	1	1	0	0	0	D	0	D	1	1	D	0	0
0	1	1	1	1	1	D	0	D	1	0	D	1	0
1	0	0	0	1	D	0	0	0	D	1	1	D	0
1	0	0	1	0	D	1	0	0	D	0	0	D	0
1	0	1	0	0	D	1	1	1	D	0	D	1	1
1	0	1	1	0	D	1	0	0	D	0	D	1	0
1	1	0	0	D	D	D	D	D	D	D	D	D	D
1	1	0	1	D	D	D	D	D	D	D	D	D	D
1	1	1	0	D	D	D	D	D	D	D	D	D	D
1	1	1	1	D	D	D	D	D	D	D	D	D	D

Ora possiamo disegnare le mappe di Karnaugh



Infine, l'uscita $Z = A\bar{B}C\bar{X}$.

ESERCIZIO 2

1.

Memoria indirizzabile $512 \text{ B} = 2^9 \text{ B} \rightarrow 9$ bit di indirizzamento. La cache è pari a $64 \text{ B} = 2^6 \text{ B} \rightarrow 6$ bit di indirizzamento. La suddivisione di partenza è quindi:

< TAG 3 bit > < Cache Index 4 bit > < Offset 2 bit >

2.

Consideriamo la dimensione generica del blocco, 4. A cache inizialmente vuota, avremo sicuramente 1 miss per blocco. Gli altri 3 saranno hit, visto che le chiamate sono su parole localizzate in sequenza. Si tratta inoltre di indirizzi coincidenti a potenze di 2, quindi i blocchi saranno associati alternamente a due vie dello stesso insieme. Trattandosi di 64 chiamate in tutto alla prima iterazione, 3 va semplicemente moltiplicato per il numero di blocchi corrispondenti, che si ottiene dividendo il numero di chiamate per la dimensione del singolo blocco. Alla seconda iterazione, tutte le parole sono presenti in cache. Otteniamo quindi:

- Numero hit prima iterazione: $3 * 64/4 = 0.75*64$
- Numero hit seconda iterazione: 64.

Indicando con Hc l'hit ratio di cache, $Hc = 1.75*64/128 = 1.75/2 = 0.875$.

ESERCIZIO 3

Utilizziamo i seguenti registri:

$\$8 \leftarrow i; \$9 \leftarrow 4i; \$1 \leftarrow \&v[i]; \$12 \leftarrow v[i]$

```
fusione:    addi $29, $29, -16
            sw $8, 0($29)
            sw $9, 4($29)
            sw $1, 8($29)
            sw $12, 12($29)
            lw $7, 0($4)
            addi $8, $0, 1
for:        beq $8, $5, exit
            muli $9, $8, 4
            add $1, $9, $4
            lw $12, 0($1)
            addi $8, $8, 1
            slt $9, $7, $12
            bne $9, $0, for
            move $7, $12
            j for
exit:       lw $8, 0($29)
            lw $9, 4($29)
            lw $1, 8($29)
            lw $12, 12($29)
            addi $29, $29, 16
            jr $31
```

ESERCIZIO 4

Si vedano le dispense del corso, capitolo dedicato all'Unità di I/O.