

# Francesca Palumbo



## Contatti

Francesca Palumbo

Via Marengo 3  
Cagliari  
Italia

+39 3463953315

francesca.palumbo@unica.it

fr.palumbo@pec.it

Data

Firma

## Posizione Attuale

Professoressa Associata presso l'Università degli Studi di Cagliari nel settore concorsuale 09/E3 settore scientifico disciplinare IINF-01/A.

## Tematiche di Ricerca

Cyber-Physical Systems  
Computing Continuum  
Embedded Systems  
Reconfigurable technologies  
Hardware/Software Co-design  
Low Power Systems  
Approximate computing  
Deep Learning  
Video Technologies  
Robotics  
Smart and Precision Agriculture

## Istruzione e Formazione

05/03/2010	<b>Dottorato in Ingegneria Elettronica e Informatica</b> Università degli Studi di Cagliari Titolo della Tesi: <i>Communication-Centric Approach to Multi-Processors System on Chip Design: Interconnection Networks Design and Evaluation.</i>	Cagliari, IT
27/04/2006	<b>Master Advanced in Embedded System Design</b> Advanced Learning and Research Institute dell'Università della Svizzera Italiana	Lugano, CH
27/04/2005	<b>Laurea Specialistica in Ingegneria Elettrica ed Elettronica</b> Università degli Studi di Cagliari	Cagliari, IT

## Esperienza Professionale

2024 - ora	<b>Professoressa Associata</b> Università degli Studi di Cagliari dal 08/01/2024	Cagliari, IT
2020 - 2024	<b>Professoressa Associata</b> Università degli Studi di Sassari dal 30/03/2020 al 07/01/2024	Sassari, IT
2017 - 2020	<b>Ricercatrice a Tempo Determinato - t.pieno (art. 24 c.3-b L. 240/10)</b> Università degli Studi di Sassari dal 03/2017 al 03/2020.	Sassari, IT
2014 - 2017	<b>Ricercatrice a Tempo Determinato - t.pieno (art. 24 c.3-a L. 240/10)</b> Università degli Studi di Sassari dal 03/2014 al 03/2017	Sassari, IT
11/2016	<b>Contratto di Ricerca Temporaneo - t.pieno</b> Université Blaise Pascal	Clermont Ferrand, FR
2012 - 2014	<b>Assegnista di Ricerca</b> Università degli Studi di Cagliari dal 25/06/2012 al 02/03/2014 Assegno dal titolo "Studio e implementazione di un framework di sviluppo e ottimizzazione di piattaforme hardware riconfigurabili nell'ambito delle Digital Media Technologies", finanziato dalla Regione Sardegna all'interno del progetto RPCT-Reconfigurable Platform Composer Tool.	Cagliari, IT

- 2010 - 2012 **Assegnista di Ricerca Programma Regionale Giovani Ricercatori (LR 7, n. 7)** Cagliari, IT  
 Università degli Studi di Cagliari  
 dal 31/05/2010 al 30/05/2012  
 Questa posizione è stata finanziata dalla Regione Sardegna nell'ambito del Bando "Borse di Ricerca Giovani Ricercatori".
- 2010 **Assegnista di Ricerca** Cagliari, IT  
 Università degli Studi di Cagliari  
 dal 10/02/2010 al 31/05/2010  
 Assegno dal titolo "Sviluppo di un sistema di interconnessione a vari livelli di astrazione", finanziato attraverso il progetto europeo FP7 MADNESS - *Methods for predictAble Design of heterogeNeous Embedded System with adaptivity and reliability support*.
- 2007 - 2010 **PhD** Cagliari, IT  
 Università degli Studi di Cagliari  
 dal 01/2007 al 03/2010
- 11/2006 **Contratto di Collaborazione** Cagliari, IT  
 Dipartimento di Ingegneria Elettrica ed Elettronica, Università degli Studi di Cagliari  
 Titolo della attività "Collaborazione alla definizione del modello di interconnect SHAPES" finanziata attraverso il progetto europeo FP6 SHAPES - *Scalable Software Hardware Architecture Platform for Embedded Systems*.

## Progetti Nazionali e Regionali: gestione e partecipazione

- 2024 - 2025 **STOPme - Supporting Termination Of stereotyPies in patients with Rett syndrome by advanced ambient intelligence**  
 MUR – PNRR - Ecosistema RAISE - Robotics And AI for Socio- Economic Empowerment - Spoke 2: Smart Devices and Technologies for Personal and Remote Health-care  
 Team Leader - Implementazione e prototipazione del sistema di riconoscimento attraverso bracciale indossabile, hub di acquisizione dati, e attuazione domotica.  
 Membro del R&D team
- 2018 - 2020 **PROSSIMO - PROgettazione, Sviluppo e ottimizzazione di Sistemi Intelligenti Multi Oggetto**  
 Regione Sardegna – Cluster Top Down  
 Team Leader - Implementazione di algoritmi su piattaforme eterogenee  
 Membro del R&D team
- 2007 - 2012 **RPCT - Reconfigurable Platform Composer Tool**  
 Regione Sardegna – LR 7  
 WP Leader  
 Membro del R&D team
- 2007 - 2012 **ALBA - Elaborazione riconfigurabile a bassa dissipazione di potenza per digital signal processing**  
 Progetto FAR, D.LGS. 297/1999 – MIUR  
 Membro del R&D team

## Progetti Europei: gestione e partecipazione

- 2024 - 2026 **MYRTUS - MYRTUS - Multi-layer 360° dYnamic orchestration and interopeRable design environmenT for compute-continUum Systems**  
 HORIZON-CL4-2023-DATA-01-04  
 Coordinatrice scientifica  
 WP leader  
 Membro del R&D team
- 2023 - 2025 **SECURED - Scaling Up secure Processing, Anonymization and generation of Health Data for EU cross border collaborative research and Innovation**  
 HORIZON-HLTH-2022-IND-13  
 Membro del R&D team

- 2021 - 2024 **IMOCO4.E - Intelligent Motion Control under Industry 4.E**  
ECSEL-2020-2-RIA  
Membro del R&D team
- 2021 - 2024 **AIDOrt - AI-augmented automation supporting modeling, coding, testing, monitoring, and continuous development in Cyber-Physical Systems**  
ECSEL-2020-2-RIA  
Membro del R&D team
- 2019 - 2022 **Comp4Drones - Framework of key enabling technologies for safe and autonomous drones' applications**  
ECSEL-2018-2-RIA  
Coordinatrice nazionale  
Membro del R&D team
- 2018 - 2021 **FITOPTIVIS - From the cloud to the edge: smart Integration and Optimization Technologies for highly efficient Image and Video processing Systems**  
ECSEL-2017-2 - RIA  
WP leader e Task leader  
Membro del R&D team
- 2018 - 2020 **ALOHA - software framework for runtime-Adaptive and secure deep Learning On Heterogeneous Architectures**  
ICT-05-2017 - Customised and low energy computing  
Dissemination Manager  
WP leader e Task leader  
Membro del R&D team
- 2017 - 2020 **CERBERO - Cross-layer model-based framework for multi-objective design of Reconfigurable systems in uncertain hybrid environments**  
ICT-01-2016 - Smart Cyber-Physical Systems  
Coordinatrice scientifica  
WP leader  
Membro del R&D team
- 2010 - 2013 **MADNESS - Methods for predictable Design of heterogeneous Embedded System with adaptivity and reliability support**  
EU-FP7  
Membro del R&D team
- 2006 - 2009 **SHAPES - Scalable Software Hardware Architecture Platform for Embedded Systems**  
EU-FP6  
Membro del R&D team

## Collaborazioni di Ricerca più attive e recenti

- Abinsula <https://abinsula.com/>: 5 progetti e 4 pubblicazioni.
- Aitek <https://www.aitek.it/en/>: 2 progetti e 1 pubblicazione.
- Institut National des sciences appliquées - Institut d'Electronique et des Technologies du numérique <https://www.insa-rennes.fr/en/research/enlaboratories/ietr-insa.html>: 1 progetto, 1 dottorando in co-tutela, e 13 pubblicazioni.
- Universidad Politécnica de Madrid - Centro de Electrónica Industrial <http://www.cei.upm.es/> e Centro de Investigación en Tecnologías Software y Sistemas Multimedia para la Sostenibilidad <http://www.cei.upm.es/>: 2 progetti e 8 pubblicazioni.
- Università degli Studi di Sassari - Gruppo Ingegneria: parte di questo gruppo dal 2014 and 2024, dal 2024: 1 progetto e 5 pubblicazioni.
- Università della Svizzera Italiana <https://www.usi.ch/en>: 3 progetti e 4 pubblicazioni.
- University of Maryland - Department of Electrical and Computer Engineering <https://academiccatalog.umd.edu/undergraduate/colleges-schools/engineering/electrical-and-computer/>: 5 pubblicazioni.

## Fondi e Sovvenzioni come Principal Investigator

2024	<b>Sponsorizzazione IEEE CEDA</b> 6.000 Dollari Summer School: <i>Designing CPS – From concepts to implementation, 6th Edition.</i>
2024	<b>Sponsorizzazione Inside Industry Association</b> 5.000 Euro Summer School: <i>Designing CPS – From concepts to implementation, 6th Edition.</i>
2023	<b>HORIZON-CL4-2023-DATA-01-04 - Cognitive Computing Continuum: Intelligence and automation for more efficient data processing (AI, data and robotics partnership) (RIA)</b> 620.910 Euro Titolo del Progetto: <i>MYRTUS - Multi-layer 360° dYnamic orchestrion and interopeRable design environmenT for compute-continUum Systems</i>
2023	<b>Sponsorizzazione IEEE CEDA</b> 6.000 Dollari Summer School: <i>Designing CPS – From concepts to implementation, 5th Edition.</i>
2023	<b>Sponsorizzazione Inside Industry Association</b> 3.000 Euro Summer School: <i>Designing CPS – From concepts to implementation, 5th Edition.</i>
2023	<b>Sponsorizzazione della Fondazione di Sardegna</b> 5.000 Euro Summer School: <i>Designing CPS – From concepts to implementation, 5th Edition.</i>
2022	<b>Sponsorizzazione IEEE CEDA</b> 4.000 Dollari Summer School: <i>Designing CPS – From concepts to implementation, 4th Edition.</i>
2020	<b>Bando Regione Sardegna SCIENTIFIC SCHOOL 2019/20</b> 29.000 Euro Summer School: <i>Designing CPS – From concepts to implementation, 4th Edition.</i>
2020	<b>Premialità Regionale</b> 8.000 Euro Promozione della ricerca scientifica e dell'innovazione tecnologica in Sardegna L.R. n. 7/2007.
2020	<b>Finanziamento di Ateneo</b> 4.000 Euro Finanziamento straordinario "una tantum per la ricerca" Università degli Studi di Sassari
2019	<b>Sponsorizzazione IEEE CEDA</b> 4.000 Dollari Summer School: <i>Designing CPS – From concepts to implementation, 3rd Edition.</i>
2019	<b>Bando Regione Sardegna SCIENTIFIC SCHOOL 2018/19</b> 27.000 Euro Summer School: <i>Designing CPS – From concepts to implementation, 3rd Edition</i>
2019	<b>Finanziamento di Ateneo</b> 2.288 Euro Finanziamento straordinario "una tantum per la ricerca" Università degli Studi di Sassari
2018	<b>H2020-ECSEL-2018-2-RIA</b> 401.000 Euro Titolo del Progetto: <i>Comp4Drones - Framework of key enabling technologies for safe and autonomous drones' applications</i>
2017	<b>Bando Regione Sardegna SCIENTIFIC SCHOOL 2016/17</b> 31.320 Euro Summer School: <i>Designing CPS – From concepts to implementation, 1st Edition</i>

2017	<b>H2020 ICT-05-2017 - Customised and low energy computing</b> 217.000 Euro Titolo del Progetto: <i>ALOHA - software framework for runtime-Adaptive and secure deep Learning On Heterogeneous Architectures</i>
2017	<b>H2020-ECSEL-2017-2-RIA</b> 462.500 Euro Titolo del Progetto: <i>FITOPTIVIS - From the cloud to the edge: smart IntegraTion and OPTimization Technologies for highly efficient Image and Video processing Systems</i>
2016	<b>H2020 ICT-01-2016 - Smart Cyber-Physical Systems</b> 386.475 Euro Titolo del Progetto: <i>CERBERO - Cross-layer modEl-based fRamework for multi-oBjective dEsign of Reconfigurable systems in unceRtain hybRid enviroNments</i>
2015	<b>Premialità Regionale</b> 10.000 Euro Promozione della ricerca scientifica e dell'innovazione tecnologica in Sardegna L.R. n. 7/2007.
2014	<b>Servizio Esterno</b> 11.800 Titolo del Servizio: <i>Sviluppo e codifica del tool MDC per la sua diffusione open-source</i> Committente: Università degli Studi di Cagliari.

## Premi

2025	<b>DAC 2025 OUTSTANDING REVIEWER</b> <i>SYS.2 Design of Cyber Physical System and IoT</i> In recognition of efforts above and beyond in service of the 62nd DAC Technical Program Committee
2015	<b>BEST PAPER</b> <i>Exploring custom heterogeneous MPSoCs for real-time neural signal decoding</i> P. Meloni, G. Tuveri, D. Pani, L. Raffo, F. Palumbo Conference on Design and Architectures for Signal and Image Processing 2015
2011	<b>BEST PAPER</b> <i>Multi-Dataflow Composer tool: a runtime reconfigurable platform composer</i> F. Palumbo, N. Carta, L. Raffo Conference on Design and Architectures for Signal and Image Processing 2011

## Abilitazioni e riconoscimenti

- ASN 2016/2018  
Abilitazione Scientifica Nazionale di Seconda Fascia - 09/E3 ELETTRONICA  
valida dal 28/03/2018 al 28/03/2029.
- Qualification Maîtres de Conférences pour Génie informatique, automatique et traitement du signal  
Campagne 2017.

## Incarichi e Impegni in Organi Collegiali e Gestionali

2024	<b>Incarico</b> Delegata per la progettazione UE del Dipartimento di Ingegneria Elettrica ed Elettronica dell'Università degli Studi di Cagliari
------	---

- 2023 **Concorso Ricercatore a Tempo Determinato tipo A**  
Membro Commissione di Concorso (D.R. 743/2023 del 09/06/2023) presso il Dipartimento di Ingegneria Elettrica ed Elettronica dell'Università degli Studi di Cagliari  
Settore concorsuale: 09/E3  
Settore Scientifico-Disciplinare: ING-INF01
- 2023 **Concorso Ricercatore a Tempo Determinato tipo A**  
Membro Commissione di Concorso (D.R. 750/2023 del 09/06/2023) presso il Dipartimento di Ingegneria Elettrica ed Elettronica dell'Università degli Studi di Cagliari  
Settore concorsuale: 09/E3  
Settore Scientifico-Disciplinare: ING-INF01
- 18/10/2023 **Commissione Giudicatrice Esame di Dottorato**  
Membro Commissione Giudicatrice per la valutazione finale dei Dottorandi Stefano Fara e Gabriele Serra (D.R. n. 714/2023) del Dottorato in Emerging Digital Technologies della Scuola Superiore Sant'Anna
- 21/06/2023 **Commissione Giudicatrice Esame di Dottorato**  
Membro Commissione Giudicatrice per la valutazione finale della Dottoranda Beatrice Bussolino (Decreto n° 604) del Dottorato in Ingegneria Elettrica, Elettronica e delle Comunicazioni del Politecnico di Torino
- 2023 **Concorso Ricercatore a Tempo Determinato tipo A**  
Membro Commissione di Concorso (Prot. 2614 D.R. 21/2023 del 10/01/2023) presso il Dipartimento di Ingegneria e Scienze dell'Informazione e Matematica dell'Università degli Studi dell'Aquila  
Settore concorsuale: 09/E3  
Settore Scientifico-Disciplinare: ING-INF01
- 05/12/2022 **Commissione Giudicatrice Esame di Dottorato**  
Membro Commissione Giudicatrice per la valutazione finale del Dottorando Hugo Miomandre  
Institut national des sciences appliquées de Rennes (INSA Rennes)  
Ecole Doctorale n° 601 - Mathématiques et Sciences et Technologies - de l'Information et de la Communication  
Spécialité: Signal, Image, Vision
- 2021 **Concorso Ricercatore a Tempo Determinato tipo B**  
Membro Commissione di Concorso (Prot. 238528 D.R. 1655/2021 del 23-09-2021) presso il Dipartimento di Ingegneria e Architettura dell'Università degli Studi di Parma  
Settore concorsuale: 09/E3  
Settore Scientifico-Disciplinare: ING-INF01
- 2019-2021 **Commissione Paritetica**  
Membro della Commissione Paritetica del Dipartimento di Chimica e Farmacia, A.A: 2019-2020, 2020-2021
- 02/12/2020 **Commissione Giudicatrice Esame di Dottorato**  
Membro Commissione Giudicatrice per la valutazione finale del Dottorando Claudio Rubattu  
Institut national des sciences appliquées de Rennes (INSA Rennes)  
Ecole Doctorale n° 601 - Mathématiques et Sciences et Technologies - de l'Information et de la Communication  
Spécialité: Signal, Image, Vision
- 20/07/2020 **Commissione Giudicatrice Esame di Dottorato**  
Membro Commissione Giudicatrice per la valutazione finale del Dottorando Marco Pagani  
Université de Lille  
Doctorat en: Informatique et applications

- 25/11/2019 **Commissione Giudicatrice Esame di Dottorato**  
 Membro Commissione Giudicatrice per la valutazione finale del Dottorando Yehya Nasser  
 Institut national des sciences appliquées de Rennes (INSA Rennes)  
 Ecole Doctorale n° 601 - Mathématiques et Sciences et Technologies - de l'Information et de la Communication  
 Spécialité: Électronique
- 11/12/2018 **Commissione Giudicatrice Esame di Dottorato**  
 Membro Commissione Giudicatrice per la valutazione finale del Dottorando M. AB-DELOUAHAB Kamel  
 Université Clermont Auvergne  
 École Doctorale des Sciences Pour l'Ingénieur (ED SPI)  
 Spécialité: Électronique et Architecture de Systèmes
- dal 2018 **Membro del IEEE VLSI Systems and Applications Technical Committee**  
<https://ieee-cas.org/technical-committee/vsa/vsa-members>
- dal 2014 **Membro dello Steering Committee della ACM International Conference on Computing Frontiers**  
<https://www.computingfrontiers.org/2023/orga.html>
- dal 2018 **Membro del Comitato Tecnico Scientifico del Centro di Innovative Agriculture dell'Università degli Studi di Sassari**  
<https://www.uniss.it/it/ricerca/dove-fare-ricerca/centri-di-ricerca/ia-innovative-agriculture>

## Affiliazioni

- dal 2022 **IEEE Senior Member**
- dal 2021 **Member of the HiPEAC (High Performance Embedded Architecture and Compilation) community**  
<https://www.hipeac.net/network/#/members/list>
- dal 2018 **ACM Member**  
 ID: 2554696
- dal 2017 **IEEE Member**  
 ID: 94288883
- dal 2014 **Membro della Società Italiana di Elettronica**  
<https://www.associazione-sie.it/>

## Partecipazione a Comitati e Attività Editoriale

- dal 2024 **Associate Editor**  
*IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems* <https://ieee-ceda.org/publications/tcad/tcad-editorial-board>
- dal 2019 **Associate Editor**  
*IEEE Embedded System Letter* <https://ieee-ceda.org/committee/ieee-embedded-systems-letters-editorial-board>
- dal 2016 **Associate Editor**  
*Springer Journal of Signal Processing Systems* <https://www.springer.com/journal/11265/editors>
- 2021 **Guest Editor**  
 Special Issues on *European Project FitOptiVis* - Springer Journal of Signal Processing Systems  
<https://link.springer.com/journal/11265/volumes-and-issues/95-9>

2019	<b>Guest Editor</b> Special Issues on <i>Embedded Multicore Applications and Optimization and Computing Frontiers</i> - Springer Journal of Signal Processing Systems <a href="https://link.springer.com/article/10.1007/s11265-019-1439-2">https://link.springer.com/article/10.1007/s11265-019-1439-2</a>	
2019	<b>Guest Editor</b> Special Issues on <i>Methods, Tools, and Architectures for Signal and Image Processing</i> - Springer Journal of Signal Processing Systems <a href="https://link.springer.com/journal/11265/91/7">https://link.springer.com/journal/11265/91/7</a>	
dal 2010	<b>Attività di Revisione</b> 98 revisioni certificate WOS per 15+ diversi journal. Tali riviste includono: ACM Transactions on Design Automation of Electronic Systems; IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems; IEEE Access; IEEE Transaction on Computers; IEEE Transactions on VLSI Systems; Springer Journal of System Architecture La lista completa è disponibile al seguente link: <a href="https://www.webofscience.com/wos/op/peer-reviews/summary">https://www.webofscience.com/wos/op/peer-reviews/summary</a>	19+

## Scientific Committees: coordinamento e partecipazione

2025	<b>General Chair</b> <i>ACM International Conference on Computing Frontiers</i>	Cagliari (IT)
2024-2026	<b>Workshop Chair</b> <i>ACM International Conference on Computing Frontiers</i> Ed: 2024, 2026	2 edizioni
2023	<b>Program Chair</b> <i>19th International Symposium on Applied Reconfigurable Computing (ARC)</i>	Cottbus (DE)
2017 - 2025	<b>School Director</b> <i>International Summer School on CPS Design - From Concepts to Implementation</i> Ed: 2017-19, 2022-23	7 edizioni
2022	<b>Program Chair</b> <i>IEEE Workshop on Signal Processing Systems (SiPS)</i>	Rennes (FR)
2022	<b>Program Chair</b> <i>PARMA-DITAM 2022 Workshop co-located with HiPEAC 2022</i>	Budapest (H)
2015 - 2021	<b>Workshop/Industry Chair</b> <i>ACM International Conference on Computing Frontiers</i> Ed. 2015/16, 2020/21	4 edizioni
2019	<b>General Chair</b> <i>ACM International Conference on Computing Frontiers</i>	Alghero (IT)
2017	<b>Program Chair</b> <i>ACM International Conference on Computing Frontiers</i>	Siena (IT)
2015 - 2016	<b>Organizer and Chair</b> <i>Workshop on Low-Power design on Embedded Systems</i> co-locato con <i>ACM International Conference on Computing Frontiers</i>	2 edizioni
2017	<b>Program Chair</b> <i>Conference on Design and Architectures for Signal and Image Processing</i>	Dresda (DE)
2017	<b>Program Vice-Chair</b> <i>Reconfigurable Architectures Workshop</i> co-locato con <i>31st Annual IEEE International Parallel &amp; Distributed Processing Symposium</i>	Orlando (US)
2012 & 2014	<b>Local Chair</b> <i>ACM International Conference on Computing Frontiers</i>	2 edizioni
2013	<b>Organizer and Chair</b> <i>Special Session on Hardware-software co-design methodologies for streaming processing in DMT</i> co-locato con <i>International Symposium on Image and Signal Processing and Analysis</i>	Trieste (IT)

2013	<b>Workshop/Demo Chair</b> <i>ACM International Conference on Computing Frontiers</i>	Ischia (IT)
2013	<b>Demo-Night Chair</b> <i>Conference on Design and Architectures for Signal and Image Processing</i>	Cagliari (IT)

## Partecipazione a Technical Program Committees

2024-2025	<b>Design Automation and Test in Europe (DATE)</b> Membro del Technical Program Committee Topic E1 - Embedded software architecture, compilers and tool chains	1 edizione
2024-2025	<b>Design Automation Conference (DAC)</b> Membro del Technical Program Committee SYS.2 Design of Cyber Physical System and IoT	1 edizione
2019 - 2025	<b>International Symposium on Circuits and Systems (ISCAS)</b> Membro del Review Committee	7 edizioni
2019 - 2025	<b>Conference on Embedded Computer Systems: Architectures, Modeling, and Simulation (SAMOS)</b> Membro del Technical Program Committee Ed: 2019-2021, 2025	4 edizioni
2022 - 2023	<b>International European Conference on Parallel and Distributed Computing (EuroPar)</b> Membro del Program Committee	2 edizioni
2023	<b>IEEE International Conference on Application-specific Systems, Architectures and Processors (ASAP)</b> Membro del Program Committee	
2011 - 2023	<b>Conference on Design and Architectures for Signal and Image Processing (DASIP)</b> Membro del Program Committee Ed: 2011-18, 2021-22, 2024-25	12 edizioni
2016 - 2024	<b>Workshop on Signal Processing Systems (SiPS)</b> Membro del Program Committee Ed: 2016-2019, 2022, 2024	6 edizioni
2021 - 2022	<b>Drone Systems Engineering (DRONE-SE)</b> Membro del Program Committee	2 edizioni
2022	<b>13th Latin American Symposium on Circuits and Systems (LASCAS)</b> Membro del Program Committee	
2016 - 2020	<b>Workshop on Optimization of Energy Efficient HPC &amp; Distributed Systems (OPTIM)</b> Membro del Program Committee Ed: 2016, 2018-20	4 edizioni
2020	<b>Euromicro Conference on Digital System Design (DSD)</b> Membro del Program Committee	
2016 - 2019	<b>Conference on Pervasive and Embedded Computing (PECCS)</b> Membro del Program Committee	4 edizioni
2019 - 2025	<b>ACM International Conference on Computing Frontiers (CF)</b> Membro del Program Committee Ed 2018-19,2025	3 edizioni
2017 - 2019	<b>Conference on Reconfigurable Computing and FPGAs (ReConFig)</b> Membro del Program Committee	3 edizioni
2019	<b>Conference on Very Large Scale Integration and System-on-Chip (VLSI-SoC)</b> Membro del Program Committee	
2019	<b>International Conference on Omni-layer Intelligent systems (COINS)</b> Membro del Program Committee della Special Session <i>Cyber-Physical and Embedded Systems</i>	
2019	<b>International Symposium on Power and Timing Modeling, Optimization and Simulation (PATMOS)</b> Membro del Program Committee	

2016 - 2018	<b>Reconfigurable Architectures Workshop (RAW)</b> Membro del Program Committee	3 edizioni
2017	<b>IEEE International Conference on Computer Design (ICCD)</b> Membro del Special Session Committee	
2013 & 2015	<b>International Symposium on Image and Signal Processing and Analysis (ISPA)</b> Membro del Program Committee	2 edizioni
2015	<b>HIPEAC Workshop on Energy Efficiency with Heterogeneous Computing (EEHCO)</b> Membro del Program Committee	

## Partecipazione come Relatrice a Conferenze Internazionali

7-11/07/2019	<b>Presentazione orale a SAMOS 2019</b> <i>Hardware/Software Self-Adaptation in CPS: the CERBERO Project Approach</i> di Palumbo F., Fanni T., Sau C., Rodriguez A., Madroñal D., Desnos K., Morvan A., Pelcat M., Rubattu C., Lazcano R., Raffo L., de La Torre E., Juarez E., Sanz C., Sanchez de Rojas P. <i>International Conference on Embedded Computer Systems: Embedded Computer Systems: Architectures, Modeling, and Simulation</i> <a href="https://link.springer.com/chapter/10.1007/978-3-030-27562-4_30">https://link.springer.com/chapter/10.1007/978-3-030-27562-4_30</a>	Samos (GR)
26-28/10/2016	<b>Presentazione orale a SiPS 2016</b> <i>Dataflow-Based Design of Coarse-Grained Reconfigurable Platforms</i> di Palumbo F., Sau C., Fanni T., Meloni P., Raffo L. <i>IEEE International Workshop on Signal Processing Systems</i> <a href="https://ieeexplore.ieee.org/document/7780084">https://ieeexplore.ieee.org/document/7780084</a>	Dallas (USA)
7-9/12/2015	<b>Presentazione orale a ReConFig 2015</b> <i>Reconfigurable Coprocessors Synthesis in the MPEG-RVC Domain</i> di Sau C., Fanni L., Meloni P., Raffo L., Palumbo F. <i>International Conference on ReConFigurable Computing and FPGA's</i> <a href="https://ieeexplore.ieee.org/document/7393351">https://ieeexplore.ieee.org/document/7393351</a>	Cancun (MEX)
8-10/10/2014	<b>Presentazione orale a DASIP 2014</b> <i>Automatic Generation of Dataflow-Based Reconfigurable Co-processing Units</i> di Sau C., Palumbo F. <i>Conference on Design and Architectures for Signal and Image Processing</i> <a href="https://ieeexplore.ieee.org/document/7115605">https://ieeexplore.ieee.org/document/7115605</a>	Madrid (SP)
23-25/10/2012	<b>Presentazione orale a DASIP 2012</b> <i>A nature-inspired adaptive floating-point coprocessing system</i> di Sau C., Pani D., Palumbo F., Raffo L. <i>Conference on Design and Architectures for Signal and Image Processing</i> <a href="https://ieeexplore.ieee.org/document/6385400">https://ieeexplore.ieee.org/document/6385400</a>	Karlsruhe (GER)
15-17/05/2012	<b>Presentazione orale a CF 2012</b> <i>Concurrent Hybrid Switching for Massively Parallel Systems-on-Chip: the CYBER architecture</i> di Palumbo F., Pani D., Congiu A., Raffo L. <i>ACM International Conference on Computing Frontiers</i> <a href="https://dl.acm.org/doi/10.1145/2212908.2212933">https://dl.acm.org/doi/10.1145/2212908.2212933</a>	Cagliari (IT)
2-4/11/2011	<b>Presentazione orale a DASIP 2011</b> <i>The Multi-Dataflow Composer tool: a runtime reconfigurable platform composer</i> di Palumbo F., Carta N., Raffo L. <i>Conference on Design and Architectures for Signal and Image Processing</i> <a href="https://ieeexplore.ieee.org/document/6136876">https://ieeexplore.ieee.org/document/6136876</a>	Tampere (FI)
3-5/05/2011	<b>Presentazione orale a CF 2011</b> <i>Towards Self-Adaptive Networks on Chip for Massively Parallel Processors: Multilevel Quality of Service Programmability</i> di Palumbo F., Pani D., Deidda A., Raffo L. <i>ACM International Conference on Computing Frontiers</i> <a href="https://dl.acm.org/doi/10.1145/2016604.2016627">https://dl.acm.org/doi/10.1145/2016604.2016627</a>	Ischia (IT)

- 26-28/10/2010 **Presentazione orale a DASIP 2010** Edimburgo (UK)  
*RVC: a Multi-Decoder CAL Composer tool*  
 di Palumbo F., Pani D., Manca E., Raffo L., Mattavelli M., Roquier G.  
*Conference on Design and Architectures for Signal and Image Processing*  
<https://ieeexplore.ieee.org/document/5706258>
- 3-6/05/2010 **Presentazione orale a NOCS 2010** Grenoble (FR)  
*Impact of half-duplex and full-duplex DMA Implementations on NoC performance*  
 di Palumbo F., Pani D., Pilia A., Raffo L.  
*ACM/IEEE International Symposium on Networks-on-Chip*  
<https://ieeexplore.ieee.org/document/5507541>
- 8-10/10/2007 **Presentazione orale a NICSO 2007** Acireale (IT)  
*A surface tension and coalescence model for dynamic distributed resources allocation in Massively Parallel Processors on-Chip*  
 di Palumbo F., Pani D., Raffo L., Secchi S.  
*Workshop on Nature Inspired Cooperative Strategies for Optimization*  
[https://link.springer.com/chapter/10.1007/978-3-540-78987-1\\_30](https://link.springer.com/chapter/10.1007/978-3-540-78987-1_30)

## Partecipazione come Relatrice a Eventi: Keynotes, Seminari, e Tutorial

- 11-15/07/2022 **Serie di Lezioni presso ACACES 2022** Fiuggi (IT)  
*Cognitive Cyber Physical Systems: exploiting distributed intelligence to support self-adaptive behaviours*, F. Palumbo  
*18th International Summer School on Advanced Computer Architecture and Compilation for High-performance Embedded Systems (ACACES 2022)*  
<https://www.hipeac.net/acaces/2022/>
- 16/12/2020 **Seminario** Sassari (IT)  
*Unmanned Vehicles in Smart Farming: a Survey and a Glance at Future Horizons*, F. Palumbo and D. Madroñal  
*University of Sassari*  
[https://www.youtube.com/watch?v=8SMqzV8u9z4&t=13s&ab\\_channel=IdeaLabUniss](https://www.youtube.com/watch?v=8SMqzV8u9z4&t=13s&ab_channel=IdeaLabUniss)
- 17/09/2018 **Opening Keynote presso la CPS Summer School 2018** Alghero (IT)  
*Introduction on Cyber Physical Systems*, F. Palumbo  
<http://www.cpsschool.eu/previous-editions/cps-summer-school-2018/>
- 21/09/2018 **Lezione presso la CPS Summer School 2018** Alghero (IT)  
*Self-Adaptivity in heterogeneous CPS platforms*, E. de la Torre and F. Palumbo  
<http://www.cpsschool.eu/previous-editions/cps-summer-school-2018/>
- 27/05/2018 **Tutorial - Design for Low-Power Internet-of-Things (IoT) Systems** Firenze (IT)  
 Evento co-locato con *ISCAS 2018*  
*Coarse-Grained Reconfigurable Acceleration Units*, F. Palumbo  
[https://www.cerbero-h2020.eu/wp-content/uploads/2018/05/Presentation-ISCAS\\_2018-Palumbo.pdf](https://www.cerbero-h2020.eu/wp-content/uploads/2018/05/Presentation-ISCAS_2018-Palumbo.pdf)
- 10/04/2018 **Tutorial - Design Of Adaptive And Secure CPS** Porto (PT)  
 Evento co-locato con *CPSWeek 2018*  
*Self-adaptation of Cyber Physical Systems*, E. de la Torre and F. Palumbo  
<https://www.cerbero-h2020.eu/cpsweek2018-tutorial>
- 16/12/2017 **Seminario** Manchester (UK)  
*Dataflow-based co-design strategies: the Multi-Dataflow Composer Tool*, F. Palumbo  
*University of Manchester*
- 25/09/2017 **Opening Keynote presso la CPS Summer School 2017** Alghero (IT)  
*Introduction on Cyber Physical Systems*, F. Palumbo  
<http://www.cpsschool.eu/previous-editions/cps-summer-school-2017/>
- 27/09/2017 **Lezione presso la CPS Summer School 2017** Alghero (IT)  
*From high-level specification down to hardware*, F. Palumbo and C. Pilato  
<http://www.cpsschool.eu/previous-editions/cps-summer-school-2017/>

- 24/10/2016 **Keynote al Workshop System-Level Design for Signal and Information Process.** College Park (US)  
*Energy and Power Management in Coarse-Grained Reconfigurable Platforms through Dataflow-based Strategies*, F. Palumbo  
 Department of Electrical and Computer Engineering, University of Maryland
- 20/11/2015 **Keynote al Workshop Graphical Methodologies for Embedded and HPC** College Park (US)  
*Using Dataflow MoCs to deploy low-power multi-context systems*, F. Palumbo  
 Department of Electrical and Computer Engineering, University of Maryland
- 24/11/2014 **Seminario** Sassari (IT)  
*Dataflow-based co-design strategies: the Multi-Dataflow Composer tool*, F. Palumbo and C. Sau  
 Dipartimento di Scienze Politiche, Scienze della Comunicazione e Ingegneria dell'Informazione dell'Università degli Studi di Sassari
- 16/06/2014 **Lezione presso la Scuola di Dottorato della Società Italiana di Elettronica** Cagliari (IT)  
*Design Methodologies and architectural support for low-power computing systems*, F. Palumbo  
 Università degli Studi di Cagliari  
<https://sites.unica.it/ge2014/scuola-di-dottorato/?lang=it>

## Attività Didattica - Corsi

- dal 2025 **Titolo del Corso Cyber-Physical System Architectures** 60 ore  
 Corso di Laurea Magistrale in Ingegneria Elettronica, Università degli Studi di Cagliari  
 2024-2025, 2025-2026
- dal 2025 **Titolo del Modulo Piattaforme Hardware per L'Internet of Things** 30 ore  
 Corso di Laurea in Ingegneria dell'Energia Elettrica per lo Sviluppo Sostenibile, Università degli Studi di Cagliari  
 2024-2025, 2025-2026
- dal 2024 **Titolo del Modulo di Elettronica Digitale del Corso di Progettazione Elettronica** 50 ore  
 Corso di Laurea in Ingegneria Biomedica, Università degli Studi di Cagliari  
 2023-2024, 2024-2025, 2025-2026
- 2022-2023 **Titolo del Corso di Basi di Elettronica Digitale** 60 ore  
 Corso di Laurea in Ingegneria Informatica, Università degli Studi di Sassari  
 2022-2023
- 2021-2023 **Titolo del Corso di Sistemi Elettronici Avanzati** 60 ore  
 Corso di Laurea in Ingegneria Informatica, Università degli Studi di Sassari  
 2020-2021, 2021-2022, 2022-2023
- 2020 - 2022 **Titolo del Corso di Elettronica dei Sistemi Digitali** 120 ore  
 Corso di Laurea in Ingegneria Informatica, Università degli Studi di Sassari  
 2019-2020, 2020-2021, 2021-2022
- 2014 - 2019 **Titolo del Corso di Analisi e Progetto delle Piattaforme Digitali** 30 ore  
 Corso di Laurea in Scienza della Comunicazione, Università degli Studi di Sassari  
 2018-2019, 2017-2018, 2015-2016, 2014-2015
- 2014 - 2018 **Titolo del Modulo di Elettronica Digitale del Corso di Progettazione Elettronica** 50 ore  
 Corso di Laurea in Ingegneria Biomedica, Università degli Studi di Cagliari  
 2017-2018, 2016-2017, 2015-2016, 2014-2015
- 2015 - 2016 **Titolo del Corso di Architetture di Calcolo Avanzate per Sistemi Embedded** 24 ore  
 Master Regionale Post-Lauream "Sistemi Embedded per l'IoT"  
 2015-2016
- 2012 - 2014 **Titolo del Modulo di Elettronica Digitale del Corso di Strumentazione Elettromedicale 1** 50 ore  
 Corso di Laurea in Ingegneria Biomedica, Università degli Studi di Cagliari  
 2014-2015, 2013-2014, 2012-2013
- 2010 - 2011 **Titolo del Modulo di Architetture e Sistemi per DSP del Corso di Sistemi Embedded** 30 ore  
 Corso di Laurea in Ingegneria Elettronica, Università degli Studi di Cagliari  
 2010-2011

## Attività Didattica - Tesisti

- 2025 **Tutela dottorando in Italia**  
Fabio Cabeccia - Studente di Dottorato presso Università degli Studi di Cagliari  
Argomento della tesi: *Vision Transformer Inference at the Edge*  
Supervisor: Prof.ssa Francesca Palumbo e Dr. Claudio Rubattu  
Stima conclusione: 02/2029
- 2024 **Tutela dottorando in Italia**  
Federico Manca - Studente di Dottorato presso Università degli Studi di Cagliari  
Argomento della tesi: *Approximate CNN at the Edge*  
Supervisor: Prof.ssa Francesca Palumbo e Dr. Francesco Ratto - Dr. Claudio Rubattu  
Stima conclusione: 02/2028
- 2020 **Co-tutela dottorando in Italia**  
Francesco Ratto - Studente di Dottorato presso Università degli Studi di Cagliari  
Titolo della tesi: *Design methodologies and architectures for application-specific coarse-grain reconfigurable accelerators*  
Supervisor: Prof. Luigi Raffo e Prof. Francesca Palumbo  
Discussione tesi: 02/2024
- 2017 - 2020 **Co-tutela dottorando all'estero**  
Claudio Rubattu - Studente di Dottorato presso Institut National des Sciences Appliquées di Rennes  
Titolo della tesi: *Response time analysis of parameterized applications on heterogeneous HW/SW systems*  
Supervisor: Prof. Maxime Pelcat e Prof.ssa Francesca Palumbo  
Discussione tesi: 12/2020
- 2015 - 2019 **Co-tutela dottoranda in Italia**  
Tiziana Fanni - Studentessa di Dottorato presso l'Università degli Studi di Cagliari  
Titolo della tesi: *Power and Energy Management in Coarse-Grained Reconfigurable Systems: methodologies, automation and assessments*  
Supervisor: Prof. Luigi Raffo e Dr.ssa Francesca Palumbo  
Discussione tesi: 02/2019
- 2015 - 2019 **Co-tutela dottorando in Italia**  
Carlo Sau - Studentessa di Dottorato presso l'Università degli Studi di Cagliari  
Titolo della tesi: *Dataflow based design suite for the development and management of multi-functional reconfigurable systems*  
Supervisor: Prof. Luigi Raffo e Dr.ssa Francesca Palumbo  
Discussione tesi: 03/2016
- 2021 - 2024 **Tesi Triennali, Corso di Laurea in Ingegneria Informatica, Università degli Studi di Sassari** 6
- Marco Fois, *Sistema operativo per piattaforme eterogenee basate su FPGA*, 2022-2023
  - Alessandro Monni, *Flusso di sviluppo di acceleratori per Reti Neurali Convolutionali con Vitis AI*, 2022-2023
  - Antonio Ledda, *Sviluppo di un acceleratore hardware dedicato per l'elaborazione e il riconoscimento di continuità all'interno delle immagini*, 2022-2023
  - Ilaria Nardi, *Sistema di acquisizione ed etichettatura dati per sistemi wearable basato su android*, 2022-2023
  - Antonio Campus, *Studio dell'impatto sul consumo di potenza delle diverse modalità di funzionamento della SensorTile di STMicroelectronics*, 2020-2021
  - Raffaele Meloni, *Porting of a YOCTO-based OS on an FPGA-based heterogeneous system*, 2020-2021
- 2015 - 2018 **Tesi Triennali, Corso di Laurea in Ingegneria Biomedica, Università degli Studi di Cagliari** 2
- Sara Baghaei, *Cinematica inversa di un braccio robotico*, 2017-2018
  - Alessio Stochino, *Studio, sviluppo e simulazione FPGA di un dispositivo per l'analisi di ampiezza di segnali EMG*, 2015/2016

- Daniele Lai, *Implementazione e validazione di un'architettura bio-ispirata parametrizzabile per digital signal processing*, 2015/2016
- Maurizio Pilia, *Studio e implementazione FPGA di un acceleratore hardware per l'elaborazione di segnali neurali*, 2015/2016
- Davide Evangelista, *Studio e sviluppo di filtri riconfigurabili per la riduzione del consumo di potenza nell'HEVC*, 2015/2016
- Tiziana Fanni, *High level design and automatic optimization of signal processing applications: using next-generation tools*, 2013/2014 in co-tutela con l'Institut National des Sciences Appliquées di Rennes.
- Carlo Sau, *Studio ed implementazione su FPGA di un architettura bio-ispirata in virgola mobile per Digital Signal Processing*, 2011/2012
- Sergio Diana, *Prototipazione su FPGA di un layer di comunicazione dual-mode per sistemi multi-core*, 2011/2012
- Emanuele Manca, *Studio e sviluppo di un tool per la generazione automatica di piattaforme hardware riconfigurabili*, 2010/2011
- Andrea Deidda, *Studio e Implementazione RTL di una NoC dual-mode con gestione non esclusiva e programmabile dei Link*, 2010/2011
- Andrea Congiu, *Codifica HDL, valutazione delle prestazioni e caratterizzazione su tecnologia CMOS 90 nm di una NoC ibrida*, 2010/2011
- Alessandro Pilia, *Ottimizzazione e validazione di una Network-on-Chip dual-mode per un traffico eterogeneo*, 2009/2010
- Mauro Pisano, *Studio e implementazione SystemC TLM di un router per una Network on Chip Spidergon-like*, 2007/2008
- Alessandro Paschina, *Sviluppo e implementazione di Adapters RTL TLM per protocolli STBus-Network on chip e DNP-Network on Chip su reti Spidergon-like in SystemC*, 2007/2008
- Simone Sechi, *Studio, modellizzazione RTL e simulazione di un single-chip massively parallel processor adattativo a controllo semi-distribuito*, 2006/2007

dal 2010 **Tesi Triennali, Corso di Laurea in Ingegneria Elettronica, Università degli Studi di Cagliari** 9

- Fabio Piras, *Accelerazione del training di reti neurali su FPGA tramite High-level synthesis* 2023/2024
- Riccardo Cuccu, *Studio e Ottimizzazione di Filtri Hardware per HEVC attraverso High-Level Synthesis*, 2015/2016
- Daniele Montisci, *Studio e sviluppo di interfacce per co-processor stream-based attraverso memorie generiche*, 2014/2015
- Stefano Corda, *Riduzione del consumo di potenza in sistemi riconfigurabili dataflow-based*, 2014/2015
- Mauro Gioi, *Sviluppo di un ambiente di test per image/video processing su Avnet/Xilinx ZedBoard*, 2014/2015
- Luca Fanni, *Analisi, ottimizzazione e generalizzazione del template di un coprocessore riconfigurabile*, 2014/2015
- Francesco Dessy, *Architetture hardware per filtri riprogrammabili in applicazioni neurali*, 2013/2014
- Daniel Melis, *Studio e progettazione di un front-end generalizzato per coprocessore riconfigurabile multi-standard*, 2013/2014
- Riccardo Montano, *Sviluppo su FPGA di un memory-manager per l'ottimizzazione dell'accesso alla memoria in un coprocessore bio-ispirato*, 2010/2011
- Marco Uccheddu, *Ottimizzazione e integrazione FPGA del controller di un coprocessore matematico bio-ispirato*, 2009/2010

## Articoli su Riviste Internazionali

1. Manca, F., Ratto, F. Rubattu, C., Raffo, L., **Palumbo, F.** *Adaptive CNN Acceleration on FPGAs: Closing the Gap With State-of-the-Art Solutions in IEEE Embedded Systems Letters* 10.1109/LES.2025.3599237 [2026]
2. Bellocchi, G., Madronal, D., Capotondi, A., **Palumbo, F.**, Marongiu, A. *An FPGA-based accelerator*

*design methodology for smart UAVs in precision agriculture: A case study* in *Journal of Systems Architecture*

10.1016/j.sysarc.2025.103592 [2026]

3. Rubattu, C, Ledda, A., Ratto, F., Jugade, C., Goswami, D., **Palumbo, F.** *Integrating FPGA-Based Acceleration in Industrial Motion Control System* in *IEEE OPEN JOURNAL OF THE INDUSTRIAL ELECTRONICS SOCIETY*  
10.1109/OJIES.2025.3571218 [2025]
4. Ratto, F., M., Á. Porras, Sau, C., Meloni, P., Deriu, G., Delucchi, S., Massa, M., Raffo, L., **Palumbo, F.** *An Automated Design Flow for Adaptive Neural Network Hardware Accelerators* in *Journal of Signal Processing Systems*  
10.1007/s11265-023-01855-x [2023]
5. Rubattu, C., **Palumbo, F.**, Bhattacharyya. S. S., Pelcat, M. *PathTracer: Understanding Response Time of Signal Processing Applications on Heterogeneous MPSoCs* in *ACM Transactions on Modeling and Performance Evaluation of Computing Systems*  
<https://doi.org/10.1145/3513003> [2022]
6. Sau, C., Rinaldi, C., Pomante, L., **Palumbo, F.**, Valente, G., Fanni, T., Martinez, M., van der Linden, F., Basten, T., Geilen, M., Peeren, G., Kadlec, J., et al. *Design and management of image processing pipelines within CPS: Acquired experience towards the end of the FitOptiVis ECSEL Project* in *Microprocessors and Microsystems*  
<https://doi.org/10.1016/j.micpro.2021.104350> [2021]
7. Valente, G., Fanni, T., Sau, C., Mascio, T.D., Pomante, L., **Palumbo, F.**, *A Composable Monitoring System for Heterogeneous Embedded Platforms* in *ACM Transactions on Embedded Computing Systems*  
10.1145/3461647 [2021]
8. Ghiani, L., Sassu, A., **Palumbo, F.**, Mercenaro, L., Gambella, F., *In-field automatic detection of grape bunches under a totally uncontrolled environment* in *Sensors 21 (11), 3908*  
<https://doi.org/10.3390/s21113908> [2021]
9. Sau, C., Fanni, T., Rubattu, C., Raffo, L., **Palumbo, F.**, *The Multi-Dataflow Composer tool: An open-source tool suite for optimized coarse-grain reconfigurable hardware accelerators and platform design* in *Microprocessors and Microsystems*  
<https://doi.org/10.1016/j.micpro.2020.103326> [2021]
10. Sau, C., Fanni, T., Rubattu, C., Fanni, L., Raffo, L., **Palumbo, F.**, *Feasibility study and porting of the damped least square algorithm on FPGA*, in *IEEE Access*  
10.1109/ACCESS.2020.3025367 [2020]
11. Nasser, Y., Sau, C., Prevotet, J.C., Fanni, T., **Palumbo, F.**, Helard, M., Raffo, L., *NeuPow: A CAD Methodology for High Level Power Estimation Based on Machine Learning*, in *ACM Transactions on Design Automation of Electronic Systems*  
<https://dl.acm.org/doi/abs/10.1145/3388141> [2020]
12. Sau, C., Ligas, D., Fanni, T., Raffo, L., **Palumbo, F.** *Reconfigurable Adaptive Multiple Transform Hardware Solutions for Versatile Video Coding*, in *IEEE Access*  
10.1109/ACCESS.2019.2946054 [2019]
13. Li, L., Sau, C., Fanni, T., Li, J., Viitanen, T., Christophe, F., **Palumbo, F.**, Raffo, L., Huttunen, H., Takala, J., Bhattacharyya, S.S. *An integrated hardware/software design methodology for signal processing systems*, in *Journal of Systems Architecture*  
10.1016/j.sysarc.2018.12.010 [2019]
14. Rubattu, C., **Palumbo, F.**, Sau, C., Salvador, R., Serot, J., Desnos, K., Raffo, L., Pelcat, M. *Dataflow-Functional High-Level Synthesis for Coarse-Grained Reconfigurable Accelerators*, in *IEEE Embedded Systems Letters*  
10.1109/LES.2018.2882989 [2018]
15. **Palumbo, F.**, Fanni, T., Sau, C., Meloni, P. *Power-Awareness in Coarse-Grained Reconfigurable Multi-Functional Architectures: a Dataflow Based Strategy*, in *Journal of Signal Processing Systems*  
10.1007/s11265-016-1106-9 [2017]
16. Pani, D., Meloni, P., Tuveri, G., **Palumbo, F.**, Massobrio, P., Raffo, L. *An FPGA platform for real-time simulation of spiking neuronal networks*, in *Frontiers in Neuroscience*

- 10.3389/fnins.2017.00090 [2017]
17. Sau, C., **Palumbo, F.**, Pelcat, M., Heulot, J., Nogues, E., Menard, D., Meloni, P., Raffo, L. *Challenging the Best HEVC Fractional Pixel FPGA Interpolators With Reconfigurable and Multifrequency Approximate Computing*, in *IEEE Embedded Systems Letters* 10.1109/LES.2017.2703585 [2017]
  18. Fanni, T., Li, L., Viitanen, T., Sau, C., Xie, R., **Palumbo, F.**, Raffo, L., Huttunen, H., Takala, J., Bhattacharyya, S.S. *Hardware design methodology using lightweight dataflow and its integration with low power techniques*, in *Journal of Systems Architecture* 10.1016/j.sysarc.2017.06.003 [2017]
  19. Meloni, P., Rubattu, C., Tuveri, G., Pani, D., Raffo, L., **Palumbo, F.** *Real-Time neural signal decoding on heterogeneous MPSocs based on VLIW ASIPs*, in *Journal of Systems Architecture* 10.1016/j.sysarc.2016.11.005 [2017]
  20. **Palumbo, F.**, Fanni, T., Sau, C., Meloni, P., Raffo, L. *Modelling and Automated Implementation of Optimal Power Saving Strategies in Coarse-Grained Reconfigurable Architectures*, in *Hindawi Journal of Electrical and Computer Engineering* <http://dx.doi.org/10.1155/2016/4237350> [2016]
  21. Tuveri, G., Meloni, P., **Palumbo, F.**, Seu, G.P., Loi, I., Conti, F., Raffo, L. *On-the-fly adaptivity for process networks over shared-memory platforms*, in *Microprocessors and Microsystems* <http://dx.doi.org/10.1016/j.micpro.2016.06.010> [2016]
  22. Meloni, P., **Palumbo, F.**, Rubattu, C., Tuveri, G., Pani, D., Raffo, L. *MPSocs for real-time neural signal decoding: A low-power ASIP-based implementation*, in *Microprocessors and Microsystems* <http://dx.doi.org/10.1016/j.micpro.2016.01.017> [2016]
  23. Sau, C., Meloni, P., Raffo, L., **Palumbo, F.**, Bezati, E., Casale-Brunet, S., Mattavelli, M. *Automated Design Flow for Multi-Functional Dataflow-Based Platforms*, in *Journal of Signal Processing Systems* 10.1007/s11265-015-1026-0 [2016]
  24. Sau, C., Carta, N., Raffo, L., **Palumbo, F.** *Early Stage Automatic Strategy for Power-Aware Signal Processing Systems Design*, in *Journal of Signal Processing Systems* 10.1007/s11265-015-0999-z [2016]
  25. Pani, D., Sau, C., **Palumbo, F.**, Raffo, L. *Computing Swarms for Self-Adaptiveness and Self-Organization in floating-point Array Processing*, in *ACM Transactions on Autonomous and Adaptive Systems* 10.1145/2746346 [2015]
  26. **Palumbo, F.**, Sau, C., Raffo, L. *Coarse grained reconfiguration: dataflow-based power management*, in *IET Computers & Digital Techniques* 10.1049/iet-cdt.2014.0089 [2015]
  27. **Palumbo, F.**, Carta, N., Pani, D., Meloni, P., Raffo, L. *The multi-dataflow composer tool: generation of on-the-fly reconfigurable platforms*, in *Journal of Real-Time Image Processing* 10.1007/s11554-012-0284-3 [2014]
  28. Pani, D., **Palumbo, F.**, Raffo, L. *A Fast MPI-based Parallel Framework for cycle-accurate HDL Multi-Parametric Simulations*, in *Journal of High Performance Architecture* 10.1504/IJHPSA.2010.034540 [2010]

## Atti di congresso (con relative presentazioni)

1. Manca, F., Testa, R., Ratto, F., Yaacoub, M., Valle, M., Raffo, L., **Palumbo, F.** *Runtime Reconfigurable FPGA Accelerator for Tactile Texture Classification Based Shallow CNN*, in *20th International Conference on PhD Research in Microelectronics and Electronics (PRIME)* 10.1109/PRIME66228.2025.11203750 [2025]
2. Encinas, J., Ratto, F., Díez de Ulzurrun, I., Rubattu, C., Rodriguez, A., **Palumbo, F.**, Otero, A. *Modular and Composable Framework for Multipurpose Monitoring in Heterogeneous FPGA-Based Systems*, in *2025 International Conference / Workshop on Embedded Computer Systems: Architectures, Modeling and Simulation* TBD [2025]

3. **Palumbo, F.**, Ratto, F., Rubattu, C., Zedda, M.K., Fanni, T., Rao, V., Driessen, B., Castrillón, J. *Multi-Partner Project: Key Enabling Technologies for Cognitive Computing Continuum - MYRTUS Project Perspective*, in *Design, Automation and Test in Europe* 10.23919/DATE64628.2025.10992704 [2025]
4. Manca, F., Ratto, F., **Palumbo, F.** *ONNX-To-Hardware Design Flow for Adaptive Neural-Network Inference on FPGAs*, in *Conference on Embedded Computer Systems: Architectures, Modeling, and Simulation* 10.1007/978-3-031-78380-7\_7 [2024]
5. Rubattu, C, Ledda, A., Ratto, F., Jugade, C., Goswami, D., **Palumbo, F.** *FPGA-based Implementation for Industrial Motion Control System in 2024 IEEE International Parallel and Distributed Processing Symposium Workshops, IPDPSW 2024* 10.1109/IPDPSW63119.2024.00039 [2024]
6. **Palumbo, F.**, Zedda, M.K, Fanni, T., Bagnato, A., Castello, L., Castrillón, J., Del Ponte, R., Deng, Y., Driessen, B., Fadda, M. Halna du Fretay, T., de Oliveira Filho, J., Rao, V., Regazzoni, F., Rodríguez, A., Schranz, M., Sedda, G. *MYRTUS: Multi-layer 360° dYnamic orchestration and interopeRable design environmenT for compute-continUum Systems*, in *2024 ACM International Conference on Computing Frontiers* 10.1145/3637543.3654618 [2024]
7. Regazzoni, F., Acs, G., Aszalos, A. Z., and Avgerinos, C., Bakalos, N., Berral, J. Ll., Bos, J. W., Brohet, M., Castillo Sanz, A. G., Davies, G. T., Florescu, S., Flory, P., Gutierrez-Torre, A., Haleplidis, E., Héliou, A., Ioannidis, S. and El-Kady, A. I, Kapusta, K., Karagianni, K., Kruizinga, P., Maat, K., Mann, Z. A., Mastoraki, K., Moon, S., Nisevic, M., Pejó, B., Papagiannopoulos, K., Paliuras, V., Palmieri, P., **Palumbo, F.**, Baun, J.C, Pollner, P., Porta-Pardo, E., Pulina, L., Siddiqi, M. A., Spajic, D., Strydis, C., Tasopoulos, G., Thouvenot, V., Tselios, C., Fournaris, A. P., *SECURED for Health: Scaling Up Privacy to Enable the Integration of the European Health Data Space*, in *2024 Design, Automation and Test in Europe, DATE 2024* 10.23919/DATE58400.2024.10546514 [2024]
8. Ratto, Raffo, L., **Palumbo, F.**, *A multithread AES accelerator for Cyber-Physical Systems*, in *20th ACM International Conference on Computing Frontiers* 10.1145/3587135.3592819 [2023]
9. Ratto, F., Esposito, S., Sau, C., Raffo, L., **Palumbo, F.**, *Multithread Accelerators on FPGAs: A Dataflow-Based Approach*, in *13th Workshop on Parallel Programming and Run-Time Management Techniques for Many-Core Architectures and 11th Workshop on Design Tools and Architectures for Multicore Embedded Computing Platforms co-located with HiPEAC Conference 2022* 10.4230/OASlcs.PARMA-DITAM.2022.6 [2022]
10. Rubattu, C., **Palumbo, F.**, Bhattacharyya, S., Pelcat, M., *PathTracing: Raising the level of understanding of processing latency in heterogeneous MPSoCs*, in *2021 Workshop on Performance Evaluation: Methods and Tools co-located with HiPEAC Conference 2021* <https://doi.org/10.1145/3444950.3447282> [2021]
11. Madroñal, D., **Palumbo, F.**, Capotondi, A., Marongiu, A. *Unmanned vehicles in smart farming: A survey and a glance at future horizons*, in *2021 Workshop on Drone Systems Engineering co-located with HiPEAC Conference 2021* <https://doi.org/10.1145/3444950.3444958> [2021]
12. Pomante L., **Palumbo, F.**, Rinaldi C., Valente G., Sau C., Fanni T., Linden F.V.D., Basten T., Geilen M., Peeren G., Kadlec J., Jaaskelainen P. *Design and management of image processing pipelines within CPS: 2 years of experience from the FitOptiVis ECSEL Project*, in *23rd Euromicro Conference on Digital System Design* 10.1109/DSD51259.2020.00067 [2020]
13. Fanni, L., Suriano, L., Rubattu, C., P. Sanchez de Rojas, P., de La Torre, E., **Palumbo, F.** *A Data-flow Implementation of Inverse Kinematics on Reconfigurable Heterogeneous MPSoC*, 2019 CPS Workshop co-located with CPS Summer School <http://ceur-ws.org/Vol-2457/11.pdf> [2019]
14. Fanni, T., Madroñal, D., Rubattu, C., Sau, C., **Palumbo, F.**, Juárez, E., Pelcat, M., Sanz, C., Raffo, L. *Run-time Performance Monitoring of Heterogenous Hw/Sw Platforms Using PAPI*, in *Sixth International Workshop on FPGAs for Software Programmers co-located with International Conference*

15. **Palumbo, F.**, Fanni, T., Sau, C., Rodriguez, A., Madroñal, D., Desnos, K., Morvan, A., Pelcat, M., Rubattu, C., Lazcano, R., Raffo, L., de La Torre, E., Juarez, E., Sanz, C., Sanchez de Rojas, P. *Hardware/Software Self-Adaptation in CPS: the CERBERO Project Approach*, in *Conference on Embedded Computer Systems: Architectures, Modeling, and Simulation* 10.1007/978-3-030-27562-4\_30 [2019]  
**Presented: Samos (GR), 7-11/07/2019**
16. **Palumbo, F.**, Fanni, T., Sau, C., Pulina, L., Raffo, L., Masin, M., Shindin, E., Sanchez de Rojas, P., Desnos, K., Pelcat, M., Rodríguez, A., Juárez, E., Regazzoni, F., Meloni, G., Zedda, K., Myrhaug, H., Kaliciak, L., Andriaanse, J., Filho, J.O., Munöz, P., Toffetti, A. *CERBERO: Cross-layer modEl-based fRamework for multi-oBjective dEsign of Reconfigurable systems in unceRtain hybRid en- virOnments*, in *2019 ACM International Conference on Computing Frontiers 2019* 10.1145/3310273.3323436 [2019]
17. Al-Ars, Z., Basten, T., Beer, A., Geilen, M., Goswami, D., Jaäskeläinen, P., Kadlec, J., Alejandro, M.M., **Palumbo, F.**, Peeren, G., Pomante, L., Linden, F.V., Saarinen, J., Säntti, T., Sau, C., Zedda, M.K. *The FitOptiVis ECSEL Project: Highly Efficient Distributed Embedded Image/Video Processing in Cyber-Physical Systems*, in *2019 ACM International Conference on Computing Frontiers 2019* 10.1145/3310273.3323437 [2019]
18. Nasser, Y., Sau, C., Prévotet, J.-C., Fanni, T., **Palumbo, F.**, Héléard, M., Raffo, L. *Neu Pow: Artificial Neural Networks for Power and Behavioral Modeling of Arithmetic Components in 45nm ASICs Technology*, in *2019 ACM International Conference on Computing Frontiers 2019* 10.1145/3310273.3322820 [2019]
19. Meloni, P., Loi, D., Busia, P., Deriu, G., Pimentel, A.D., Sapra, D., Stefanov, T., Minakova, S., Conti, F., Benini, L., Pintor, M., Biggio, B., Moser, B., Shepelev, N., Fragoulis, N., Theodorakopoulos, I., Masin, M., **Palumbo, F.** *Optimization and deployment of CNNs at the Edge: The ALOHA experience*, in *2019 ACM International Conference on Computing Frontiers 2019* 10.1145/3310273.3323435 [2019]
20. Masin, M., **Palumbo, F.**, Adriaanse, J., Myrhaug, H., Regazzoni, F., Sanchez, M., Zedda, K. *Elicitation of technical requirements in large research projects: The CERBERO approach*, in *ACM Symposium on Applied Computing* 10.1145/3297280.3297600 [2019]
21. Meloni, P., Loi, D., Deriu, G., Pimentel, A.D., Saprat, D., Pintort, M., Biggio, B., Ripolles, O., Solans, D., Conti, F., Benini, L., Stefanov, T., Minakova, S., Moser, B., Shepeleva, N., Masin, M., **Palumbo, F.**, Fragoulis, N., Theodorakopoulos, I. *Architecture-aware design and implementation of CNN algorithms for embedded inference: The ALOHA project*, in *2018 International Conference on Microelectronics* 10.1109/ICM.2018.8704093 [2018]
22. Fanni, T., Rodriguez, A., Sau, C., Suriano, L., **Palumbo, F.**, Raffo, L., de la Torre, E. *Multi-grain re-configuration for advanced adaptivity in cyber-physical systems*, in *2018 International Conference on Reconfigurable Computing and FPGAs* 10.1109/RECONFIG.2018.8641705 [2018]
23. Meloni, P., Loi, D., Deriu, G., Ripolles, O., Solans, D., Pimentel, A.D., Sapra, D., Pintor, M., Biggio, B., Moser, B., Shepeleva, N., Stefanov, T., Minakova, S., Conti, F., Benini, L., Fragoulis, N., Theodorakopoulos, I., Masin, M., **Palumbo, F.** *ALOHA: An architectural-aware framework for deep learning at the edge*, in *2018 INTelligent Embedded Systems Architectures and Applications Workshop co-located with ESWEEK 2018* 10.1145/3285017.3285019 [2018]
24. Rubattu, C., **Palumbo, F.**, Pelcat, M. *Adaptive software-augmented hardware reconfiguration with dataflow design automation*, in *2017 International Conference on Reconfigurable Computing and FPGAs* 10.1109/RECONFIG.2017.8279772 [2017]
25. Li, L., Fanni, T., Viitanen, T., Xie, R., **Palumbo, F.**, Raffo, L., Huttunen, H., Takala, J., Bhattacharyya, S.S. *Low power design methodology for signal processing systems using lightweight dataflow techniques*, in *2017 Conference on Design and Architectures for Signal and Image Processing* 10.1109/DASIP.2016.7853801 [2017]

26. **Palumbo, F.**, Sau, C., Fanni, T., Raffo, L. *Challenging CPS trade-off adaptivity with coarse-grained reconfiguration*, in *2017 International Conference on Applications in Electronics Pervading Industry, Environment and Society*  
10.1007/978-3-319-93082-4\_8 [2017]
27. Abdali, E.M., Pelcat, M., Berry, F., Diguët, J.-P., **Palumbo, F.** *Exploring the performance of partially reconfigurable point-to-point interconnects*, in *2017 International Symposium on Reconfigurable Communication-Centric Systems-on-Chip*  
10.1109/ReCoSoC.2017.8016160 [2017]
28. **Palumbo, F.**, Sau, C., Pani, D., Meloni, P., Raffo, L. *Feasibility study of real-time spiking neural network simulations on a swarm intelligence based digital architecture*, in *2017 IEEE International Parallel and Distributed Processing Symposium Workshops*  
10.1109/IPDPSW.2017.121 [2017]
29. Masin, M., **Palumbo, F.**, Myrhaug, H., De Oliveira Filho, J.A., Pastena, M., Pelcat, M., Raffo, L., Regazzoni, F., Sanchez, A.A., Toffetti, A., De La Torre, E., Zedda, K. *Cross-layer design of reconfigurable cyber-physical systems*, in *2017 Design, Automation and Test in Europe, DATE 2017*  
10.23919/DATE.2017.7927088 [2017]
30. Sau, C., Fanni, L., Meloni, P., Raffo, L., **Palumbo, F.** *Reconfigurable coprocessors synthesis in the MPEG-RVC domain* in *2015 International Conference on ReConfigurable Computing and FPGAs (ReConFig)*  
10.1109/ReConFig.2015.7393351 [2016]  
**Presented: Cancun (MX), 6-8/12/2015**
31. Fanni, T., Sau, C., Meloni, P., Raffo, L., **Palumbo, F.** *Power and clock gating modelling in coarse grained reconfigurable systems* in *2016 ACM International Conference on Computing Frontiers*  
10.1145/2903150.2911713 [2016]
32. **Palumbo, F.**, Sau, C., Evangelista, D., Meloni, P., Pelcat, M., Raffo, L. *Runtime Energy versus Quality Tuning in Motion Compensation Filters for HEVC* in *2016 Conference on Programmable Devices and Embedded Systems*  
10.1016/j.ifacol.2016.12.025 [2016]
33. Sau, C., Fanni, T., Meloni, P., Raffo, L., Pelcat, M., **Palumbo, F.**, *Demo: Reconfigurable Platform Composer Tool* in *2016 Conference on Design and Architectures for Signal and Image Processing (DASIP)*  
10.1109/DASIP.2016.7853835 [2016]
34. Banik, S., Bogdanov, A., Fanni, T., Sau, C., Raffo, L., **Palumbo, F.**, Regazzoni, F. *Adaptable AES implementation with power-gating support* in *2016 ACM International Conference on Computing Frontiers*  
10.1145/2903150.2903488 [2016]
35. **Palumbo, F.**, Sau, C., Fanni, T., Meloni, P., Raffo, L. *SS-design: Dataflow-based design of coarse-grained: Reconfigurable platforms reconfigurable platform composer tool project* in *2016 IEEE International Workshop on Signal Processing Systems*  
10.1109/SiPS.2016.30 [2016]  
**Presented: Dallas (US), 26-28/10/2016**
36. Fanni, T., Sau, C., Meloni, P., Raffo, L., **Palumbo, F.** *Power modelling for saving strategies in coarse grained reconfigurable systems* in *2015 International Conference on ReConfigurable Computing and FPGA's*  
10.1109/ReConFig.2015.7393337 [2016]
37. Fanni, T., Sau, C., Raffo, L., **Palumbo, F.** *Automated power gating methodology for dataflow-based reconfigurable systems* in *2015 ACM International Conference on Computing Frontiers*  
10.1145/2742854.2747285 [2015]
38. Meloni, P., Tuveri, G., Pani, D., Raffo, L., **Palumbo, F.** *Exploring custom heterogeneous MPSoCs for real-Time neural signal decoding* in *Conference on Design and Architectures for Signal and Image Processing 2015*  
10.1109/DASIP.2015.7367243 [2015]
39. Sau, C., **Palumbo, F.** *Automatic generation of dataflow-based reconfigurable co-processing units* in *Conference on Design and Architectures for Signal and Image Processing 2014*

10.1109/DASIP.2014.7115605 [2014]

**Presented: Madrid (ES), 08-10/10/2014**

40. Sau, C., Raffo, L., **Palumbo, F.**, Bezati, E., Casale-Brunet, S., Mattavelli, M. *Automated design flow for coarse-grained reconfigurable platforms: An RVC-CAL multi-standard decoder use-case in 2014 Conference on Embedded Computer Systems: Architectures, Modeling, and Simulation*  
10.1109/SAMOS.2014.6893195 [2014]
41. **Palumbo, F.**, Sau, C., Raffo, L. *Power-awareness in coarse-grained reconfigurable designs: A data-flow based strategy in 2014 IEEE International Workshop on Signal Processing Systems*  
10.1109/SiPS.2014.6986104 [2014]
42. Carta, N., Sau, C., Pani, D., **Palumbo, F.**, Raffo, L. *A coarse-grained reconfigurable approach for low-power spike sorting architectures in IEEE/EMBS Conference on Neural Engineering*  
10.1109/NER.2013.6695966 [2013]
43. Carta, N., Sau, C., **Palumbo, F.**, Pani, D., Raffo, L. *A coarse-grained reconfigurable wavelet denoiser exploiting the multi-dataflow composer tool in Conference on Design and Architectures for Signal and Image Processing 2013*  
ISBN: 979-109227901-6 [2013]
44. **Palumbo, F.**, Sau, C., Raffo, L. *DSE and profiling of multi-context coarse-grained reconfigurable systems*, in *International Symposium on Image and Signal Processing and Analysis (ISPA)*  
ISBN: 978-953184194-8 [2013]
45. Nezan, J.-F., Siret, N., Wipliez, M., **Palumbo, F.**, Raffo, L. *Multi-purpose systems: A novel dataflow-based generation and mapping strategy*, in *IEEE Symposium on Circuits and Systems*  
10.1109/ISCAS.2012.6271969 [2012]
46. Sau, C., Pani, D., **Palumbo, F.**, Raffo, L. *A nature-inspired adaptive floating-point coprocessing system*, in *Conference on Design and Architectures for Signal and Image Processing 2012*  
ISBN: 978-295399872-6 [2012]  
**Presented: Karlsruhe (DE), 23-25/10/2012**
47. **Palumbo, F.**, Pani, D., Congiu, A., Raffo, L. *Concurrent hybrid switching for massively parallel systems-on-chip: The CYBER architecture*, in *2012 ACM International Conference on Computing Frontiers*  
10.1145/2212908.2212933 [2012]  
**Presented: Cagliari (IT), 15-17/05/2012**
48. **Palumbo, F.**, Carta, N., Raffo, L. *The multi-dataflow composer tool: A runtime reconfigurable HDL platform composer*, in *Conference on Design and Architectures for Signal and Image Processing 2011*  
10.1109/DASIP.2011.6136876 [2011]  
**Presented: Tampere (FI), 02-04/10/2011**
49. **Palumbo, F.**, Pani, D., Deidda, A., Raffo, L. *Towards self-adaptive networks on chip for massively parallel processors: Multilevel quality of service programmability*, in *2011 ACM International Conference on Computing Frontiers*  
10.1145/2016604.2016627 [2011]  
**Presented: Ischia (IT), 03-05/05/2011**
50. **Palumbo, F.**, Pani, D., Manca, E., Raffo, L., Mattavelli, M., Roquier, G. *RVC: A multi-decoder CAL composer tool*, in *Conference on Design and Architectures for Signal and Image Processing 2010*  
10.1109/DASIP.2010.5706258 [2010]  
**Presented: Edinburgh (UK), 26-28/10/2010**
51. **Palumbo, F.**, Pani, D., Pilia, A., Raffo, L. *Impact of half-duplex and full-duplex DMA implementations on NoC performance*, in *ACM/IEEE International Symposium on Networks-on-Chip*  
10.1109/NOCS.2010.35 [2010]  
**Presented: Grenoble (FR), 03-06/05/2010**
52. **Palumbo, F.**, Pani, D., Raffo, L., Secchi, S. *A surface tension and coalescence model for dynamic distributed resources allocation in Massively Parallel Processors on-Chip*, in *Conference on Nature Inspired Cooperative Strategies for Optimization*  
10.1007/978-3-540-78987-1\_30 [2008]  
**Presented: Acireale (IT), 8-10/11/2007**

53. **Palumbo, F.**, Secchi, S., Pani, D., Raffo, L. *A novel non-exclusive dual-mode architecture for MPSoCs-oriented network on chip designs*, in *2008 Conference on Embedded Computer Systems: Architectures, Modeling, and Simulation*  
10.1007/978-3-540-70550-5\_11 [2008]
54. Secchi, S., **Palumbo, F.**, Pani, D., Raffo, L. *A network on chip architecture for heterogeneous traffic support with non-exclusive dual-mode switching*, in *Conference on System Design Architectures, Methods and Tools 2008*  
10.1109/DSD.2008.64 [2008]

## Capitoli di Libro

1. **Palumbo, F.**, Sau, C. *Reconfigurable and approximate computing for video coding*, in *VLSI Architectures for Future Video Coding*  
10.1049/PBCS053E\_ch9 [2019]
2. Desnos, K., **Palumbo, F.** *Dataflow modeling for reconfigurable signal processing systems*, in *Handbook of Signal Processing Systems*  
10.1007/978-3-319-91734-4\_22 [2018]
3. **Palumbo, F.**, Pani, D., Raffo, L. *Hybrid switching techniques for heterogeneous traffic support in multi-processors system on chip and massively parallel processors*, in *Computer Science Research and the Internet*  
ISBN/ISSN: 978-1-61761-044-8 [2011]

## Trasferimento Tecnologico

### Cooperazione con Abinsula

*FPGA-based SoC customization for the automotive market*

Le piattaforme FPGA hanno trovato ampia applicabilità in automotive e avionica. Relativamente, è in corso una collaborazione con l'azienda Abinsula atta a definire un flusso di progettazione e gestione di sistemi basato su SoC FPGA eterogenei per automotive.

Durante questa collaborazione sono stati attivati dei tirocinii formativi per studenti triennali di UNISS.

Per approfondimenti: <https://www.hipeac.net/magazine/7163.pdf> pag 33.

- 2018 - 2020 **PROSSIMO - PROgettazione, Sviluppo e ottimizzazione di Sistemi Intelligenti Multi Oggetto**  
 Regione Sardegna – Cluster Top Down  
 Traferimento tecnologico verso un cluster di 12 PMI locali.  
[https://www.youtube.com/watch?v=s7N5gUv6diE&ab\\_channel=IdeaLabUniss](https://www.youtube.com/watch?v=s7N5gUv6diE&ab_channel=IdeaLabUniss)  
<https://www.sardegna.ricerche.it/index.php?xsl=370&s=359613&v=2&c=15065&nc=1&sc=>